

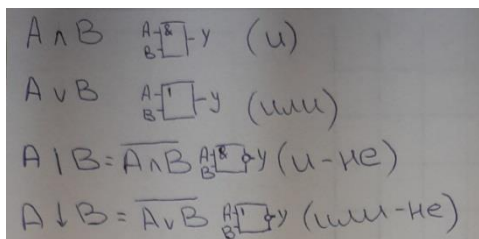
Оглавление

Билет №1.....	2
Билет №2.....	3
Билет №3.....	4
Билет №4.....	5
Билет №5.....	6
Билет №6.....	8
Билет №7.....	9
Билет №8.....	10
Билет №9.....	11
Билет №10.....	12
Билет №11.....	14
Билет №13.....	16
Билет №14.....	17
Билет №15.....	18
Билет №16.....	19
Билет №17.....	20
Билет №18.....	21
Билет №19.....	22
Билет №20.....	23
Билет №21.....	24
Билет №22.....	25
Билет №23.....	26
Билет №24.....	27
Билет №25.....	28
Билет №26.....	29
Билет №27.....	30
Билет №28.....	31
Билет №29.....	32
Билет №30.....	33
Билет №31.....	34
Билет №32.....	35
Билет №33.....	36

Билет №1

1. Функции конъюнкция, дизъюнкция, штрих Шеффера, стрелка Пирса. Условное графическое обозначение элементов, реализующих эти функции.

- Конъюнкция
- Дизъюнкция
- Штрих Шеффера
- Стрелка Пирса



2. Флаги, системный флаг, системный таймер.

- Флаг – результат операции АЛУ, который записывается в регистре флагов.
- Системный флаг – управляет вводом-выводом и переключением между задачами и вирт. режимами.
- Системный таймер – содержит 3 канала:
 - 0 канал – управление сис. часами.
 - 1 канал - регенерация памяти.
 - 2 канал – генератор звука.

3. SIMM 72-pin имеет организацию 4М x32. Микропроцессор Pentium. Организация ИМС 4М x8. Контроллер ОЗУ позволяет формировать 16М адресов. Определить:

- количество ИМС на модуле - $32/8=4$
- банк (по определению) - 8 байт (Pentium)(Шина Данных)
- минимальное количество модулей и емкость ОП –

Шина данных ОП 8 байт.

Разрядность ячейки модуля 4 байта.

Количество $8:4=2$

Объем модуля = $4М*4Б=16МБ$

Объем памяти $16МБ * 2=32МБ$

- количество банков - максимальное количество адресов ОП / Кол-во ячеек в банке
- максимальное количество модулей и емкость ОП –

4 банка * 2 модуля = 8 модулей

Объем памяти $16МБ*8 = 128МБ$

Билет №2

1. Назначение мультиплексора. Условное графическое обозначение мультиплексора. Назначение входов и выходов.

Предназначен для соединения в желаемом порядке информации, поступающей с нескольких входных шин на одну выходную.

- Информационные входы – к ним подключаются источники сигналов.
- Управляющие входы – адресные входы и входы разрешения работы.
- Адресные входы – поступает адрес источника, который мультиплексор должен соединить с приёмником.

D7-D0 – информационные входы

A4, A2, A1 – адресные входы

E – вход разрешения работы

Y – выход

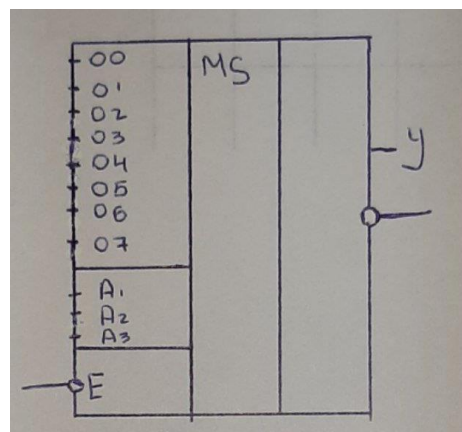


Рисунок 1. Вместо 0 - D !

2. АЛУ микропроцессора. Назначение. Арифметические операции.

Логическое устройство предназначено для выполнения арифметических и логических операций, формирования флагов.

Арифметические операции:

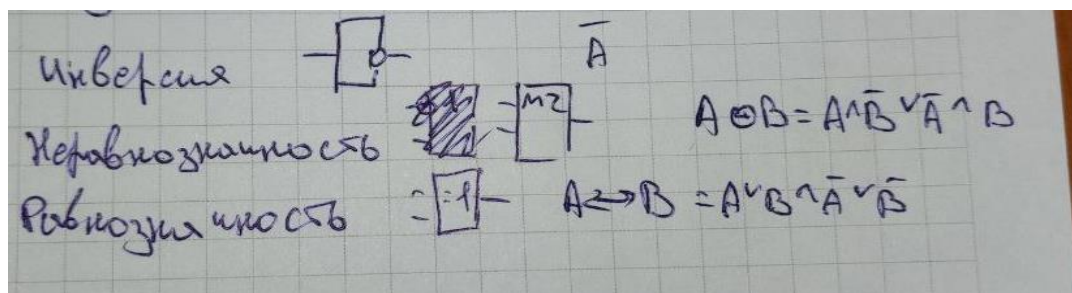
- Логическое сложение
- Логическое умножение
- Отрицание
- Исключающий ИЛИ
- Вычитание
- Проверка
- Преобразование

3. Процесс обработки прерываний МП.

Процесс происходит в 3 этапа:

- 1) Прекращение выполнения текущей программы с сокращением контекста.
- 2) Выполнение программы обработки прерываний (источник и обработка).
- 3) Возврат управления прерванной программы.

Билет №3



1. Функции инверсия, неравнозначность, равнозначность. Условное графическое обозначение элементов, реализующих эти функции.

2. Структура и форматы целых чисел, чисел со знаком.

Целые без знака обычно занимают в памяти 1 или 2 байта

Слово без знака

Разрядная сетка $n=16$

Байт со знаком

Разрядная сетка $n=16$

Слово со знаком

Разрядная сетка $n=16$

Двойное слово со знаком

Разрядная сетка $n=32$

Числа со знаком для представления использует прямой, обратный, исполненный код.

- ПК – код из любой СС в 2СС
- ОК – инверсия всех разрядов ПК кроме знака (старшего разряда)
- ДК – код полученный сложением ОК с единицей.
- Инверсный код – код полученный инверсией ПК включая знаковый разряд.

3. Конвейер обработки команд.

Конвейерная обработка команд – этот принцип подразумевает, что в каждый момент времени процессор выполняет работу над разными стадиями выполнения нескольких команд, на выполнение каждой выделяются отдельные аппаратные ресурсы.

(??? – непонятное слово...)

Билет №4

1. Асинхронный RS – триггер с прямыми входами. Схема. УГО. Таблица состояний.

The image shows a hand-drawn schematic and truth table for an RS flip-flop. The schematic consists of two cross-coupled NOR gates. The top gate has inputs R and S, and the bottom gate has inputs Q and Q-bar. The outputs are Q and Q-bar. The truth table is as follows:

R	S	Q _{пред}	Q	состояние
0	0	0	0	хранение
0	0	1	1	
0	1	0	1	set
1	0	0	0	Reset
1	0	1	0	
1	1	0	x	запрещен
1	1	1	x	какаято

УГО
R - reset сброс
S - set установить

схема

2. Магистраль, командные циклы, цикл захвата магистрали.

- Командный цикл – набор циклов магистрали, которые нужно выполнять при выполнении команды.
- Магистраль – сигналы процессора, образующие 3 основных шины: адреса, данных и управления.
- Цикл захвата магистрали:

К системной шине может быть подключено мн-во устройств.

В каждый момент времени на шине может работать только 2-а устройства, одно управляет обменом, другое исполнитель.

- HOLD – активный сигнал на входе, говорит о том, что активное устройство дает запрос МП передать управление системной шине.
- МП – завершает текущий цикл и переводит выходы в высокоимпеданское состояние и формирует сигнал подтверждения на выходе.

3. Тактовая частота шины расширения 66МГц. Шина данных шины расширения 64 бита. Шина адреса шины расширения 32 бита. Обмен по шине выполняется за один такт. Рассчитать пропускную способность шины.

- 1) Шина данных 64 Бит = 8 байт
- 2) Шина адресом 32 Бита = 4 байта

- 1) 8 байт * 66 МГц = 528 Мб/с
- 2) 4*66=264 Мб/с

Билет №5

1. Назначение дешифратора. Полный дешифратор. Условное графическое обозначение дешифратора. Назначение входов и выходов. Принцип работы.

- Предназначен для определения состояния регистров или счетчиков, т.е. преобразование двоичного или двоично-десятичного кода в унитарный позиционный код.

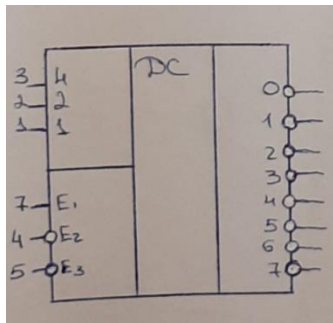
Полный дешифратор n входов и 2^n выходов.

Дешифратор 3 на 8

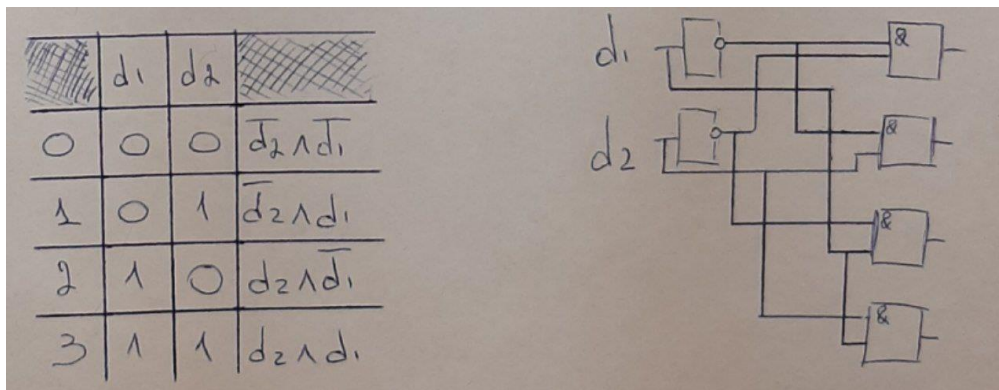
1, 2, 4 – инф. входы

$E_1, E_2\#, E_3\#$ - входы разрешения работы

0# - 7# - выходы



- Принцип работы:



2. Структура и форматы вещественных чисел.

Вещественные числа предназначены для хранения дробных значений.

- Короткое вещественное

$n = 32$; Знак 1 Бит; Хар-ка = 8 Бит; Мантисса = 32 Бита;

- Длинное вещественное

$n = 64$; Хар-ка = 11 Бит; Мантисса = 52 Бита;

- Расширенное вещественное

$n = 80$; знак 1 Бит; Хар-ка = 15 Бит;

3. Укажите название устройства, опишите входы и выходы, укажите выходной сигнал.

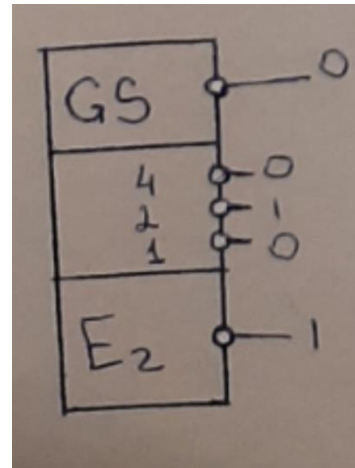
Приоритетный шифратор 8 на 3

#0, #7 – входы шифратора

E1# - вход разрешения работы

E2# - признак отсутствия активных сигналов

GS – признак присутствия

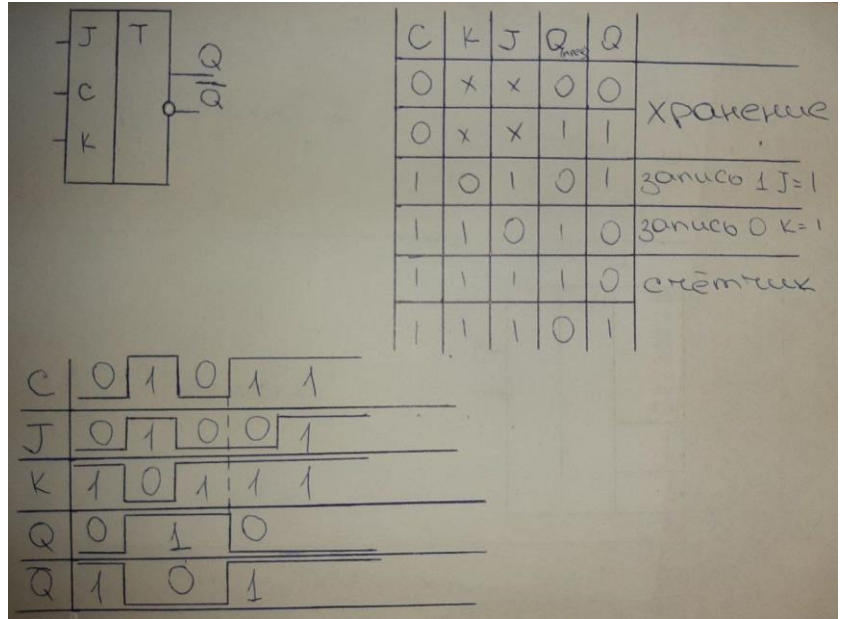


Билет №6

1. JK – триггер. УГО. Таблица состояний. Временные диаграммы работы.

С	J	K	Q пред	Q	Режим
0	x	x	0	0	Хранение
0	x	x	1	1	
1	0	0	0	0	
1	0	0	1	1	
1	0	1	x	0	Запись 0
1	1	0	x	1	Запись 1
1	1	1	0	1	Счётный режим
1	1	1	1	0	

Это вместо правой таблицы!!!



2. Устройство управления микропроцессора.

Обеспечивает управление выполнением команды

1. Регистр команд (прием, хранение команды пока она выполняется МП).
2. Счётчик команд (хранит относ. адрес (смещение) следующей команды и следит за последовательностью выполнения команд).
3. Микропрограммное УУ (обеспечивает вертикальную совместимость процессоров одного ряда по системе команд – процессор, выпущенный последним, способен выполнять все команды предыдущих процессоров)).
4. Очередь команд (увеличивает быстродействие процессора).

3. Флаги, назначение, количество и типы.

Флаг – результат операции АЛУ, который записывается в регистре флагов.

- CF – флаг переноса заема; 1 – если был перенос при сложении из старшего разряда или заем при вычитании;
- PF – флаг четности; 1 – если младший байт результата содержит четное кол-во единиц;
- AF – флаг дополнительного переноса заема; 1 – если был перенос при сложении из младшей тетрады в старшую;
- ZF – флаг нуля; 1 – если результат равен 0;
- SF – флаг знака;

0 – если результат положительное число;

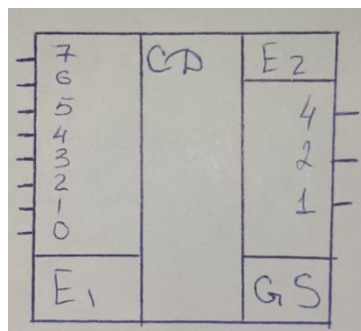
1 – если результат отрицательное число;

- OF – флаг переключения; 1 – если результат не размещается в выбранной программной сетке;

Билет №7

1. Назначение шифраторов. Шифраторы в интегральном исполнении, назначение входов и выходов.

При подаче сигнала на 1 из входов на выходе появляется двоичный код номера выбранного входа.



0–7 - входы шифратора; E1 – вход разрешения работы;

1–2–4 – выходы шифратора; E2 – признак отсутствия сигнала;

GS – признак присутствия сигнала;

2. Структура и форматы двоично – десятичных данных. Символьные данные.

- B_{CD} - информация представляется в двоичном виде, но используется цифры десятичной системы счисления.
- B_{CD} – упакованный. В 1 байте – 1 десятичная цифра. Для ее хранения используется мл. тетрада (биты[0 - 3]). Старшая при вычислениях не учитывается.
- B_{CD} – упакованный. В 1 байте - 2 десятичные цифры; младшая в младшей тетраде, старшая в старшей.
- 8-ми разрядный упакованный B_{CD} формат. В байте размещается 2 цифры в двоично-десятичном коде. Младшая цифра 0-3, старшая 7-4, диапазон 00-99.
- 8-ми разрядный неупакованный B_{CD} формат. В байте размещается 1 цифра в двоично-десятичном коде, в разрядах от 3 - 0.
- Символьные данные. Каждый символ представлен 8-ми разрядным ASCII кодом.

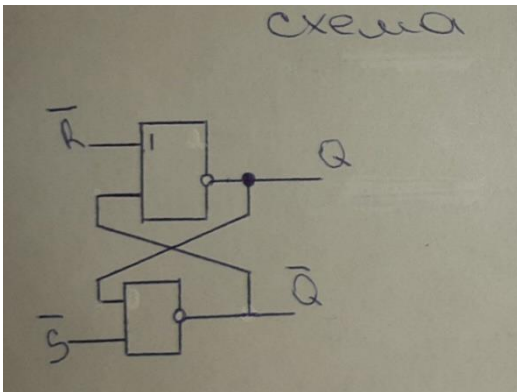
3. Архитектуры КЭШ памяти, принцип работы КЭШ.

Кэш – сверхоперативная память, предназначенная для согласования процессора и ОП.

1. Кэш с прямым отображением. Некоторый блок ОП может быть помещен только в строго определенную для него строку в кэш-памяти.
 2. Полностью ассоциативный кэш. Любой блок ОП может копироваться в любую строку КЭШ.
 3. Наборно ассоциативная память. Одновременное хранение копий блоков информации со строк ОП, располагающихся на разных страницах.
 4. Кэш со сквозной записью. Результат всегда сохраняется в ОП, в случае КЭШ-попадания копия сохраняется в КЭШ.
 5. КЭШ с обратной записью. В случае КЭШ-попадания данные записываются только в КЭШ, в случае промаха - только в ОП.
- Принцип работы: процессор обращается к ячейке ОП и устанавливает уникальный адрес этой ячейки на шину. Этот адрес обрабатывает контроллер кэш и выделяет из адреса признак и сравнивает с признаком в памяти тэгов. Если признаки совпали это кэш-попадание. Если признаки не совпали, то это кэш-промах и информация считывается из ОП.

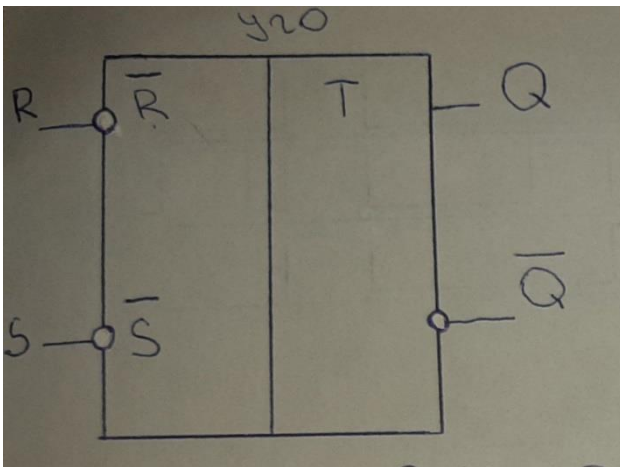
Билет №8

1. Асинхронный RS – триггер с инверсными входами. Схема. УГО. Таблица состояний.



таб. состояний

R	S	$Q_{(пред)}$	Q	состояние
0	0	0	0	Хранение
0	0	1	1	
0	1	0	1	set
0	1	1	1	
1	0	0	0	Reset
1	0	1	0	
1	1	0	x	запрещенн.
1	1	1	x	каванга



2. Регистры общего назначения микропроцессора. Управление разрядностью регистров.

МП содержит 8 32-х разрядных регистров общего назначения.

РОНЫ предназначены для хранения данных и адресов.

EBX (База); ECX (Счетчик); EDX (Регист. Данных); EAX (Аккумулятор) Сверх ОП разрядность.

3. Цифровой автомат, комбинационные схемы, отличия и особенности.

- Ц.А. – хранение, преобразование дискретной информации
- Комбинационные схемы – устройства без памяти, выходы зависят только от комбинации входов.

- К.С. – результат статический не зависит от приемников состояний.
- Ц.А. – зависимость от предыдущих состояний.

Билет №9

1. Назначение триггеров. Классификация триггеров.

- Предназначен для: ввода, хранения, вывода 1 Бита информации в двоичном коде.
- Классификация
По способу приема: асинхронные и синхронные (нет, есть синхровход С)
По функциональному признаку: RS (с двумя установочными входами), JK (универсальные), D (с задержкой и одним входом), T (с одним счётным входом).

2. АЛУ микропроцессора. Регистры дескрипторы.

АЛУ – логическое устройство для выполнения арифметических и логических операций, формирует флаг.

Регистры дескрипторы – хранит объем сегмента, базовый адрес и атрибут защиты.

3. Укажите название устройства, опишите входы и выходы, укажите выходной сигнал.

Входы

E1.1#E1.2 E2.1#E2.2# - разрешение работы.

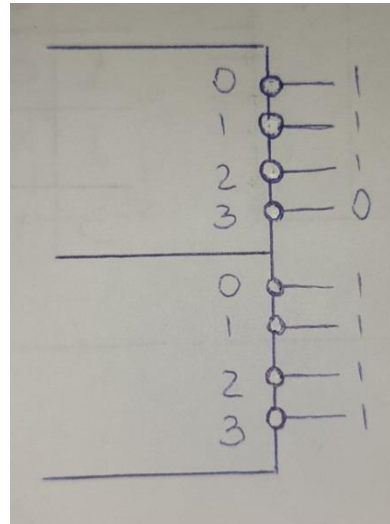
1 и 2 – дешифраторы.

1-2 – прямые входы.

0-4, 0-4 – выходы.

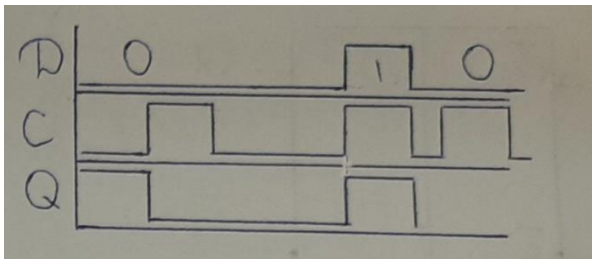
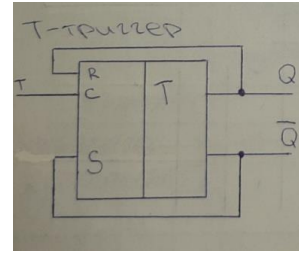
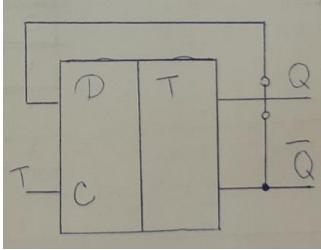
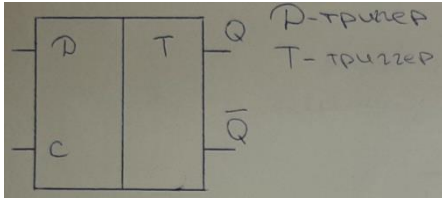
1-му работать можно.

=>



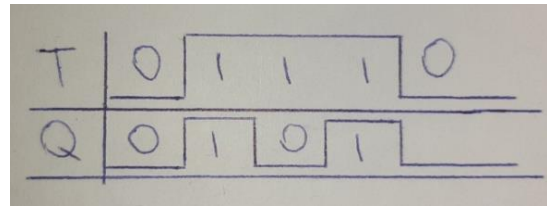
Билет №10

1. D- триггер. Т – триггер. УГО. Таблицы состояний. Временные диаграммы работы.



T	Q (npeg)	Q	Режим
0	1	1	Хранение
0	0	0	
1	1	0	перебор
1	0	1	

C	D	Q (npeg)	Q	Режим
0	X	Q (npeg)	Q (npeg)	Хранение
1	1	X	1	запись 1
1	0	X	0	запись 0



2. Мультиплексор, назначение определение вводов выводов, УГО.

Предназначен для соединения информации в желаемом порядке информации, поступающей с нескольких входных шин на одну выходную.

- Информационные входы – к ним подключаются источник сигналов.
- Управляющие входы – адресные входы и входы разрешения работы.
- Адресные входы – поступает адрес источника, который мультиплексор должен соединить с приёмником.

D7-D0 – информационные входы

A4, A2, A1 – адресные входы

E – вход разрешения работы

Y - выход

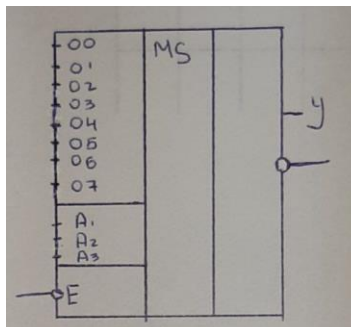


Рисунок 2. Вместо 0 - D !

3. Перевести числа в двоичный код, выполнить операции, предложенные в примере, показать все преобразования и определить флаги полученного результата.

$+17 - (+12)$

$+17$

3H	64	32	16	8	4	2	1	
0	0	0	1	0	0	0	1	ПК

$+12$

3H	64	32	16	8	4	2	1	
0	0	0	0	1	1	0	0	ПК
1	1	1	1	0	0	1	1	УНВ

$+ \begin{array}{r} 00010001 \\ 11110100 \\ \hline 00000101 \end{array}$

$4+1=5$

AF=0 PF=1
ZF=0 SF=0
CF=1 OF=0

$-11 - 22 = -11 - (+22)$

-11

3H	64	32	16	8	4	2	1	
1	0	0	0	1	0	1	1	ПК
1	1	1	1	0	1	0	0	OK
1	1	1	1	0	1	0	1	УК

22

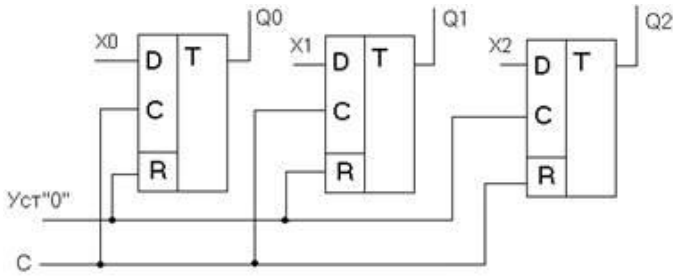
3H	64	32	16	8	4	2	1	
0	0	0	1	0	1	1	0	ПК
1	1	1	0	1	0	0	1	УНВ

$+ \begin{array}{r} 11110101 \\ 11101010 \\ \hline 11011111 \\ 10100000 \text{ OK} \\ 10100001 \text{ +1} \end{array}$

$32+1=33$

Билет №11

1. Регистр памяти в интегральном исполнении. Назначение входов, выходов. Принцип работы.



1 бит поступает на вход одновременно с сигнала со всех триггеров их прошлой тактовой последовательности на следующий с Q_n на Q_{n+1} и т.д.

2. Режимы работы микропроцессора: режим реального времени; режим защищенной памяти.

1) Защищенный режим:

- Многозадачная обработка информации;
- Защита памяти (4х ур. мех. привилегий, операции от привилегий);
- Доступна вся шина адреса CP4;
- Размер сегмента – любой;
- Сегмент регистра – база;

2) Режим реального времени:

- Обращение к ОП происходит по реальным адресам;
- Набор доступных операций не ограничен;
- Защита памяти не исп.;
- Сегмент регистра – селектор;

3. Укажите название устройства, опишите входы и выходы, укажите выходной сигнал.

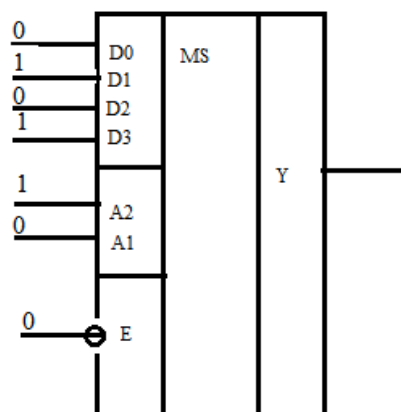
Мультиплексор

D0-D3 - инф. входы;

A2-A1 - адресные входы;

E – разрешение работы;

Y – выход MS;

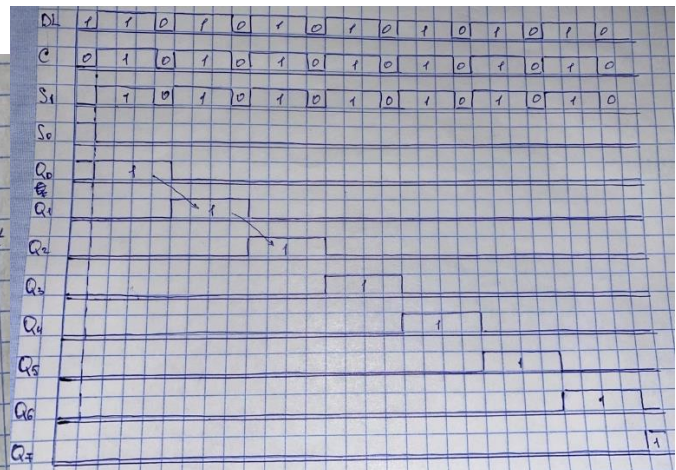


Билет №12

1. Регистр сдвига в интегральном исполнении. Назначение входов и выходов. Режимы работы. Временные диаграммы работы.

регистр сдвига преобразует параллельный код в последовательный

C	Q ₁	D ₀ -D ₇ - интер. входы
S ₁	Q ₂	C - синхровход
S ₀	Q ₃	A - направление всех триггеров
DL	Q ₄	DL - DR - режимы сдвига Left Right
DR	Q ₅	Режимы работы - S/US/D
D ₀	Q ₆	
D ₁	Q ₇	
D ₂		
D ₃		
R		

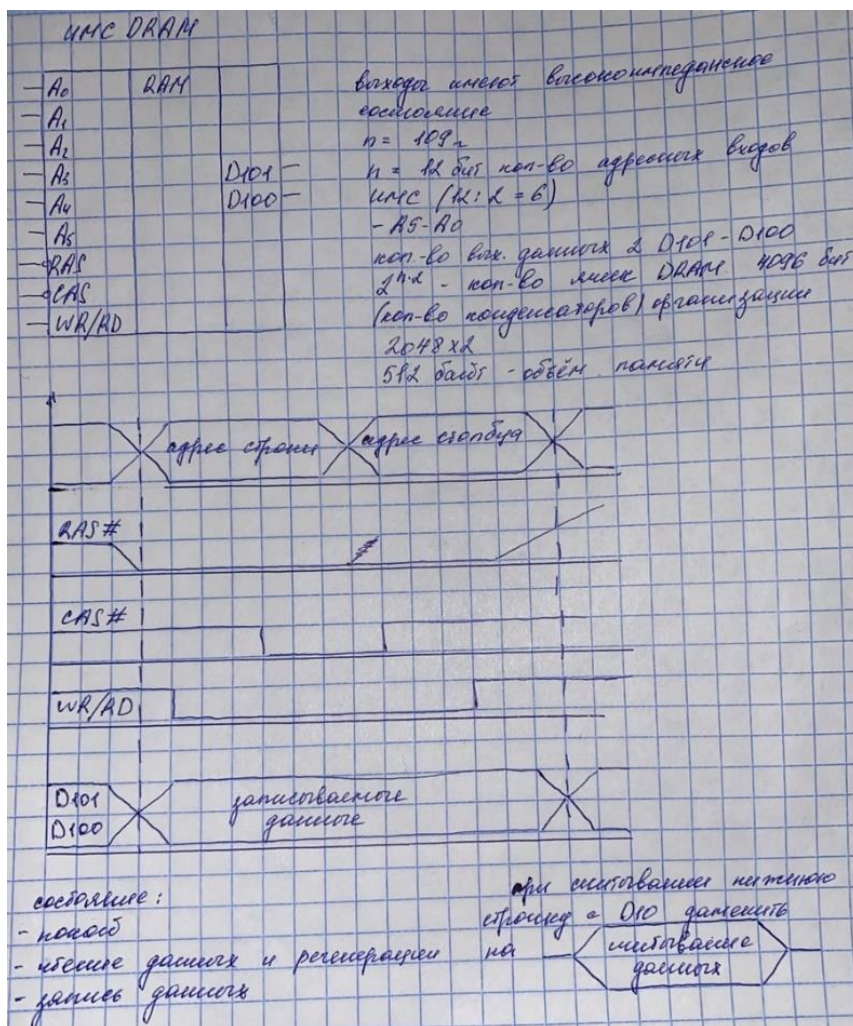


2. Шина адреса микропроцессора. Адресное пространство памяти.

Шина адреса - шина, которая назначает адрес ячейки или порта, с которого будет считываться информация.

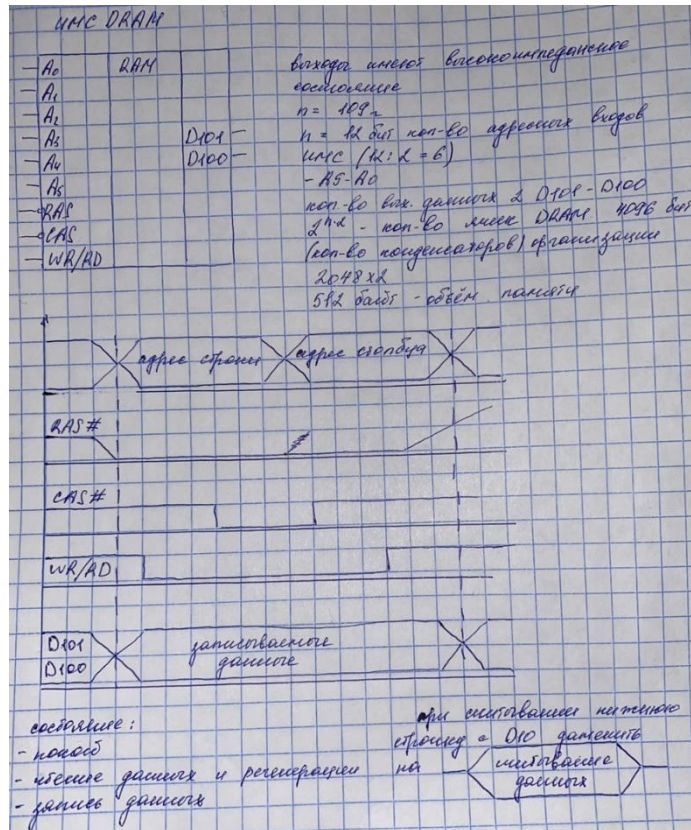
Адресное пространство – диапазон адресов, обозначающих место в памяти.

3. Организация ИМС динамического ОЗУ 4М x 8. Общие входы-выходы данных. Три состояния. Рассчитать емкость. Начертить УГО. Начертить временную диаграмму режима записи.



Билет №13

1. ИМС динамической оперативной памяти. УГО. Назначение входов, выходов. Временные диаграммы работы.



2. Микросхемы ПЗУ, виды, хранимое ПО.

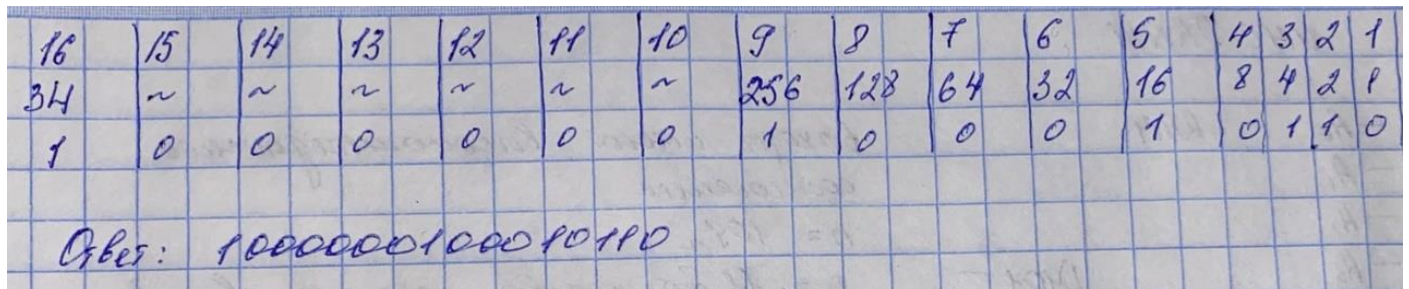
ПЗУ – энергонезависимая память, предназначенная для хранения редко изменяемой информации.

ROM – однократно программируемое ПЗУ.

EPROM – ПЗУ с записью и стиранием эл. сигналами.

EEPROM – ПЗУ с записью и стиранием эл. сигналами отличие в стирании производится за счет эл. сигналов на транзисторы, что позволяет перепрограммировать ПЗУ в устройстве.

3. Представить число (-278) в формате «целое слово».



Билет №14

1. Классификация регистров.

- Регистр, принимающий, хранящий и выдающий параллельный код. (Регистр памяти или хранения)
- Регистр, принимающий последовательный и выдающий параллельный код, и наоборот (Регистр сдвига)

2. Тайминги, перечислить все виды.

Тайминг (Tras) – кол-во тактов между подачей команд деактивации и началом след. обращения к ИМС, т.е. активации RAS#.

1. RAS to CAS – применяется для синхронной памяти от активации сигнала RAS# до активации сигнала CAS#

Cas Latency (Tc) – указывает кол-во тактов через которое на входе ИМС появляется считывание данных после активации сигнала CAS#.

3. Организация ИМС статической памяти 32x4. Общие входы-выходы данных. Три состояния. Рассчитать емкость. Начертить УГО. Начертить временную диаграмму режима чтения.

-A0	RAM	
-A1		D100
-A2		D101
-A3		D102
-WR/RD	WR#	
-CS		

A4-A0 - адресные входы.
 WR#/RD - адресные входы.
 режим работы 0 - запись
 1 - чтение
 CS# - вход микросхемы
 1 - UASC в режиме хранения

$N = 2^n = 2^5 = 32$ ячейки

D102 - D100 - в режиме записи эти коды входы записываемый код

Билет №16

1. Мультиплексор, виды мультиплексоров. Назначение входов и выходов.

Предназначен для соединения информации в желаемом порядке информации, поступающей с нескольких входных шин на одну выходную.

- Информационные входы – к ним подключаются источник сигналов.
- Управляющие входы – адресные входы и входы разрешения работы.
- Адресные входы – поступает адрес источника, который мультиплексор должен соединить с приёмником.

D7-D0 – информационные входы

A4, A2, A1 – адресные входы

E – вход разрешения работы

Y – выход

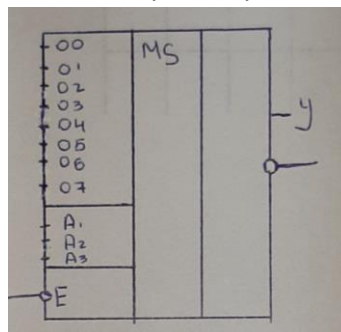


Рисунок 3. Вместо 0 - D !

2. Загрузчик ОП, настройки BIOS.

Загрузчик ОП находит на накопителе загрузочный сектор, копирует информацию из него в ОП и выполняет запуск скопированной программы. Программа начальной загрузки определяет являются ли диски системными. Если диски системные управление передается на начало скопированной области, где находится точка входа в процедуру загрузки ОС. Если диски не системные управление переходит программе POST.

Настройки BIOS:

1. Стандартные настройки;
2. Настройки периферии;
3. PC Health;
4. Параметры телеметрии платы;
5. Управление энергопотреблением;

3. SIMM 72-pin имеет организацию 2М x32. Микропроцессор Pentium. Организация ИМС 2М x16. Контроллер ОЗУ позволяет формировать 4М адресов. Определить:

- - количество ИМС на модуле - $32/16=2$
- - банк (по определению) - 8байт
- - минимальное количество модулей и емкость ОП
 - Шина данных 8 байт
 - Разрядность ячейки модуля 4 байта
 - Кол-во модулей в банке=ШДМП: разрядность ячейки= $8:4=2$ модуля
 - Объем $2м*4б=8мб$
 - Объем памяти $8мб*2=16мб$
 - Объем модуля $2м*4б=8мб$
- - количество банков - $16м/2м=8$ банков
- - максимальное количество модулей и емкость ОП 8 банков *2 модуля=16 модулей

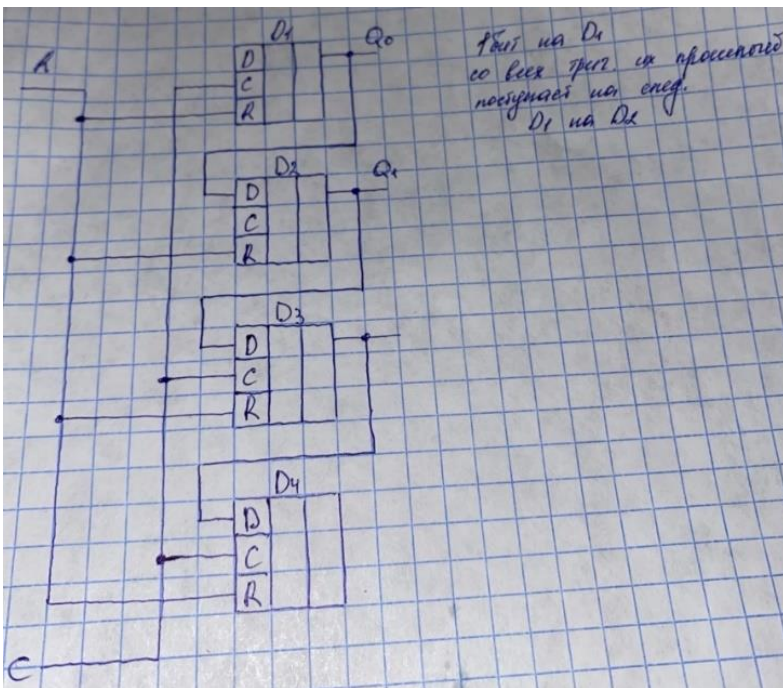
Билет №17

1. SIMM модули. Организация. Емкость. Напряжение питания.

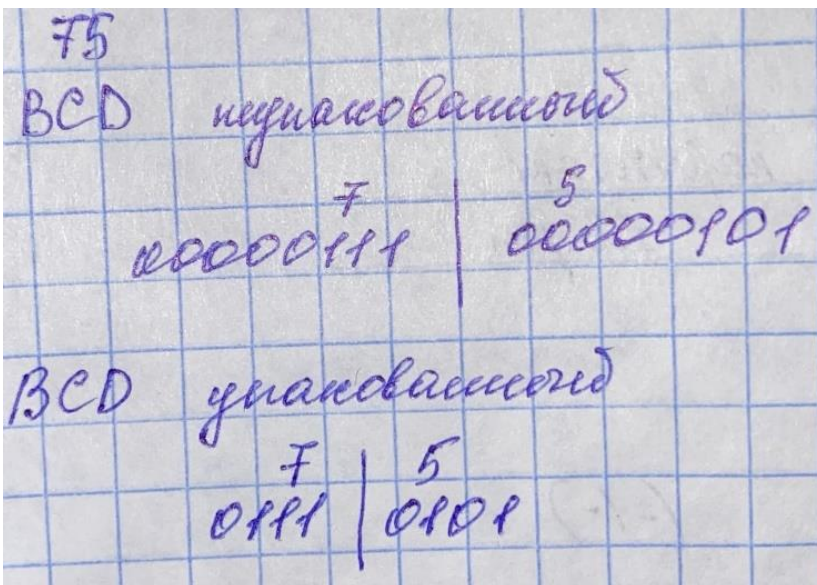
Ёмкость	Без паритета		С паритетом	
	30 pin	72 pin	30 pin	72 pin
256 Кбайт	256 x 8	-	256 x 8	-
1м	1м x 8	256к x 32	1м x 8	256к x 32
2м	-	512к x 32	-	512к x 32
4м	4м x 8	1м x 32	4м x 8	1м x 32
8м	-	2м x 32	-	2м x 32
16м	-	4м x 32	-	4м x 32
32м	-	8м x 32	-	8м x 32
64м	-	16м x 32	-	16м x 32

Напряжение в среднем 5В

2. Преобразование регистра из последовательного в параллельный.



3. Представить число 75 в форматах «BCD упакованный», «BCD неупакованный».



Билет №18

1. Контроллер прямого доступа, принцип работы.

- 1) ПДП принимает запрос на линии входа от внешнего устройства.
- 2) Формирует запрос на линии Hold на захват шины.
- 3) МП завершает тех. цикл переключает входы в высокоимпедансное состояние и сообщает об этом сигналом HLOA.
- 4) ПДП (DMA) на линии DACK (линия подтверждения активного управления низкого сигнала DMA) сообщает внешнему устройству о начале выполнения циклов DMA.
- 5) Формирует на ШАМП ячейки для обмена.
- 6) Выбатывает управляющие сигналы обеспечивает обмен.

2. Гиперпоточные, скалярные и суперскалярные процессоры процессоры.

- Суперскалярные

- такие МП имеют конвейера, что позволяет выполнять несколько команд параллельно.

- Скалярные

- обладают единственным конвейером.

- Гиперпоточные

- Один физический процессор одновременно может выполнять два потока. Физический процессор (микросхема, устанавливаемая в сокет) имеет два комплекта архитектурных (прикладных и системных) регистров. В каждом комплекте имеется свой указатель инструкций, «идущий» по своему потоку.

3. Двухканальный режим работы, принцип работы.

2 канала памяти работают параллельно. Устанавливается 2 банка, модули в банке абсолютно одинаковые, 1 банк хранит данные с четными адресами др. с нечетными, пока выполняется восстановление информации после считывания в 0-м банке чтение производится из др. банка.

Билет №19

1. DIMM модули. Организация. Емкость. Поколения модулей. Напряжение питания.

Модули 1-го поколения:

Напряжение 5В

Разрядность ячейки памяти 8 байт

Ёмкость от 8МБ до 256МБ

Модули 2-го поколения:

Модуль DIMM 168, 184 pin

ИМС DDR2 SDRAM

Ёмкость модулей 64-1024 МБ

Напряжение питания 2,5В (ключ смещен) и 1,8В(ключ по центру)

Модуль DIMM 240 pin

ИМС DDR2 SDRAM

Напряжение питания 1,8В

Ёмкость 256МБ - 4ГБ

ИМС DDR3 SDRAM

Напряжение питания 1,5В

Ёмкость 512МБ - 4Г

2. SRAM DRAM память, память по способу доступа к информации.

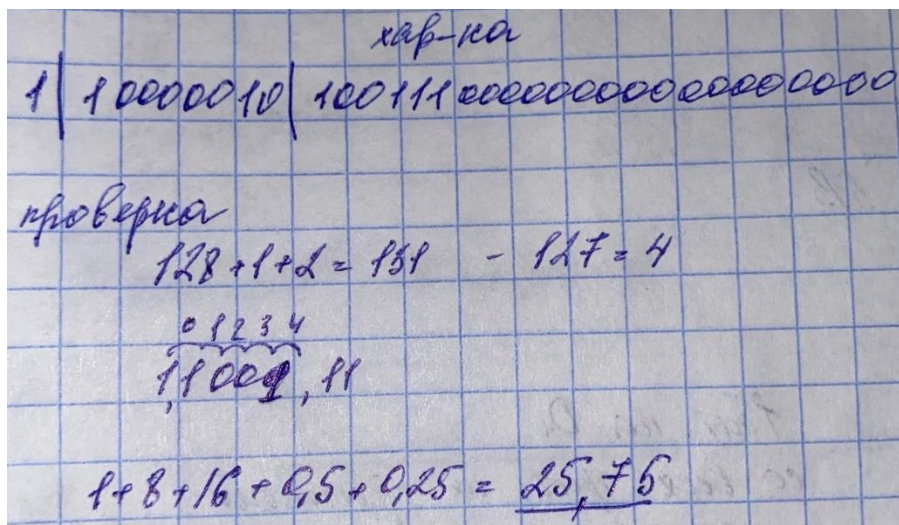
DRAM (динамическая память) и SRAM (статическая память)

SRAM. В статич. БИС (большие интегральные схемы) ЗЭ-триггер предусматривает потенциальный характер управляющих сигналов и возможность считывания данных без разрушения.

DRAM. В динамич. БИС (большие интегральные схемы) запоминающим элементом является конденсатор, считывание выполняется с разрушение информации.

Имеют произвольный доступ, т.е. возможность получить доступ к любой ячейке за одно и то же время.

3. Представить число -25,75 в формате «короткое вещественное».



Билет №20

1. Программируемый контроллер прерывания.

ПКП отвечает за прием запросов от различных устройств, их хранение в ожидании обработки, выделение наиболее приоритетного из одновременно присутствующих запросов и выдачу его вектора в ЦП.

Функции:

- Фиксирование запросов от устройства.
- Программное маскирование запроса.
- Распределение приоритетов между линиями запросов.
- Вычисление номера вектора прерывания и передача его процессору вместе с командой вызова подпрограмм.

2. Термоконтроль микропроцессора.

Thermal Monitor при нагревании генерирует специальный сигнал, который активирует модуль Thermal Control out. Происходит модуляция номинальной частоты, т.е. холостые такты.

Thermal Monitor 2 работает, когда температура дошла до критической точки. Активируется сигнал PROCHOT, происходит снижение тактовой частоты и напряжение питания.

При критической температуре происходит подача сигнала Thermtrip на аварийное отключение системы, это значение в среднем 235 градусов.

3. Пространственная локальность, временная локальность статической памяти.

Временная локальность - вероятность что при считывании данных программа обратится к этим данным в течении некоторого времени несколько раз.

Пространственная локальность – состоит в том, что, есть выс. вероятность, что программа обратится к нескольким последовательно расположенным ячейкам памяти.

Билет №21

1. Основные характеристики памяти.

Ёмкость - количество информации, которое может одновременно храниться в памяти.

Организация – количество ячеек X разрядность ячеек поверхности носителя.

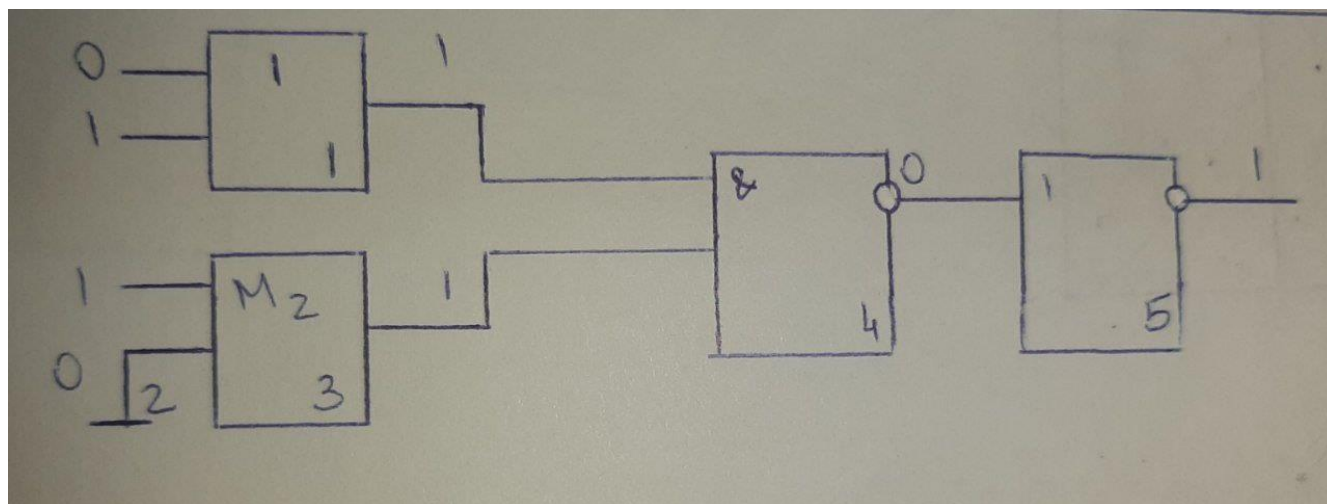
Быстродействие – продолжительность операции обращения к памяти.

2. Вектор прерываний, формирование адреса к обработчику.

Вектор прерываний – 4-х байтная область памяти, позволяющая получить адрес обработчика.

Формирование адреса происходит в 1 такт.

3. Указать названия элементов. Записать функцию на выходе каждого элемента и функцию на выходе схемы. Указать значение сигнала (0 или 1) на выходе каждого элемента.



1 – дизъюнкция.

2 – пост. 0.

3 – строгая дизъюнкция.

4 – конъюнкция.

5 – инверсия.

Билет №22

1. Банк памяти

Минимальное количество памяти, адресуемое процессором за 1 раз, что соответствует разрядности шины данных модуля памяти. При установке модуля памяти необходимо обеспечивать банк, т.е. обеспечить равенство шины данных модуля памяти и разрядность ячейки ОП.

2. Размещение информации в памяти, формула определения количества физических адресов.

Адресная память. Поиск информации в памяти основан на использовании адреса с номера ячейки, для записи / чтения команда должна указать адрес, по которому производится обращение.

Ассоциативная память. Поиск информации происходит не по адресу, а по содержанию (по ассоциативному признаку (АП)) при этом поиск производится параллельно для всех ячеек.

$ФА = БА + \text{смещение}$ (адрес ячейки в сегменте)

3. Сегментированная модель памяти, расчет физического адреса в режиме реальных адресов.

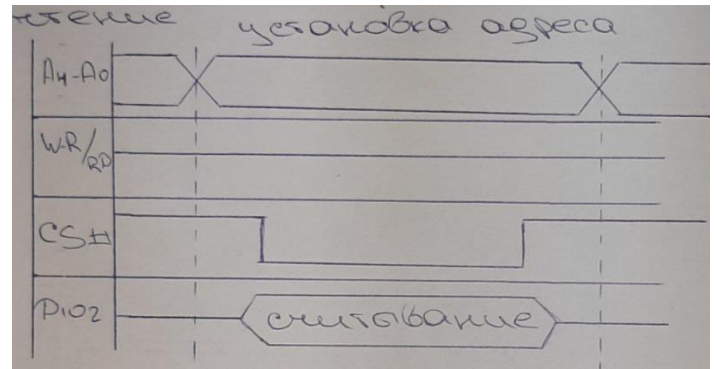
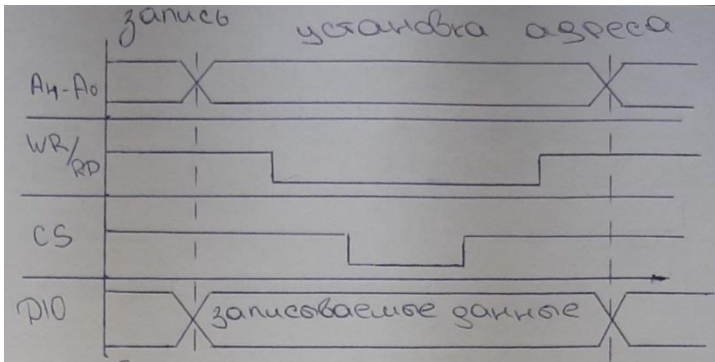
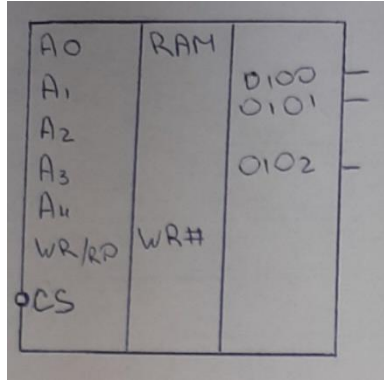
Сегментированная модель. Объем сегмента 64Кб. CPU выставляет на шину адреса ФА, а в команде указывают сегментный адрес операнда, он имеет меньшую разрядность и хранится в команде вместо ФА. Базовый адрес получают из сегментных регистров.

$ФА = БАЗА + СМЕЩЕНИЕ$

Билет №23

1. ИМС статической оперативной памяти. УГО. Назначение входов, выходов. Временные диаграммы работы.

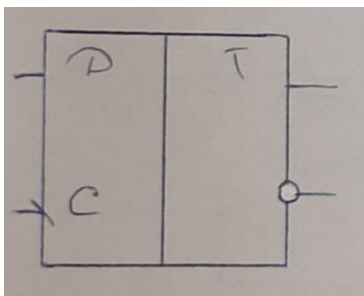
- A0-A4 – адресные входы
- D100-2 - входы / выходы данных
- WR#/RD – режимы работы
- 0 – запись
- 1 – чтение
- CS# - выбор микросхемы



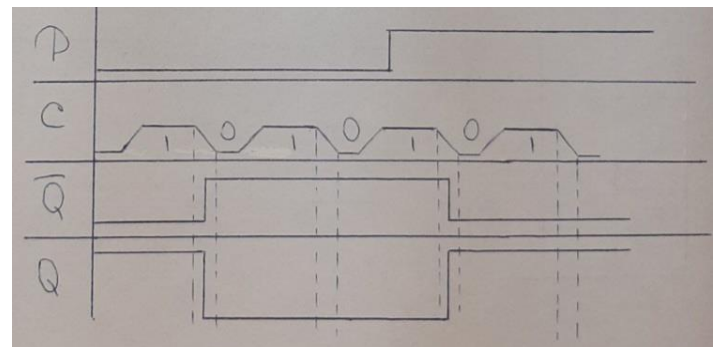
2. Определения: синхронная и асинхронная шины; демultipлексированная и мультиплексированная шина. Конструктивная, информационная и электрическая совместимость устройств.

- Синх. Шина – реагирует на управляющие сигналы только по «+» сигналу тактовой частоты.
- Асинх. Шина – реагирует на управляющие сигналы в момент переключения их в активное состояние вне зависимости от состояния синхронного сигнала.
- Демultipлексированная шина – адрес и данные передаются по отдельным шинам ISA8; ISA6; E18A; VLB;
- Мультиплексированная шина – адрес и данные передаются по одним и тем же шинам (PCI AGP)
- Инф. Совместимость – точное выполнение протоколов обмена и правильное исполнение сигналов.
- Эл. Совместимость(способность) – согласование уровней входных и выходных питающих напряжений, и токов.

3. Назовите триггер. Укажите синхронные информационные входы и асинхронные информационные входы, опишите синхровход. Постройте временную диаграмму работы триггера.



D – триггер.
инф. вход D триггера.
C – синхровход.
работает по заднему фронту.



Билет №24

1. Характеристики асинхронных и синхронных ИМС динамической оперативной памяти FPM, EDO, BEDO, SDRAM.

FPM – позволяет обращаться к нескольким ячейкам расположенным в одной строке, информация присутствует пока активный уровень сигнала CAS#

EDO – когда CAS# переключается в неактивное состояние, считанные из ячейки памяти записываются в регистрах входных данных и регистр ИМС, это позволяет сократить период сигнала CAS# без уменьшения длительности данных на выходах ИМС.

BEDO – имеет регистр выходных данных и 2-х разрядный счетчик адреса столбца, что позволяет для (2-4)-х передач ПЦ не подключать к адресным входам ИМС адрес столбца.

SDRAM – имеет синхровход к которому подключаются сигналы тактовой частоты системной шины.

2. Шина PCI- express. Уровни. Индикаторы. Горячее отключение.

PCI express.

Уровни транзакций: заголовок, данные;

Уровень канальный: предыдущ. + контрольные суммы, номер последовательности;

Уровень физический: предыдущ. + формирование кадра;

Индикаторы: питания, внимания;

Кнопка «Внимание» управляется пользователем до начала «Горячего отключения». Если системное ПО принимает запрос, инициированный кнопкой, индикатор питания мерцает. Пользователю дается 5 секунд на отмену, во время которых повторное нажатие кнопки отключает питание.

3. Выполнить операции над данными 34h v B9h, BEh ⊕ 3Ch.

34h v B9h

34 – 110100

B9 – 10111001

52₁₀ + 185₁₀

$$\begin{array}{r} + 00110100 \\ 10111001 \\ \hline 11101101 = \text{ED}_{16} = 237_{10} \end{array}$$
$$\begin{array}{r} \text{BE} \quad 10111110 \\ \oplus \text{3C} \quad 00111100 \\ \hline 10000110 = 82_{16} = 130_{10} \end{array}$$

Билет №25

1. Назначение контроллера DMA. Принцип работы.

DMA используется для передачи данных непосредственно между ОП и устройством ввода/вывода, внеш. устройством. МП не используется в операциях I/O DMA сам формирует все сигналы необходимые для обмена данными.

Принципы:

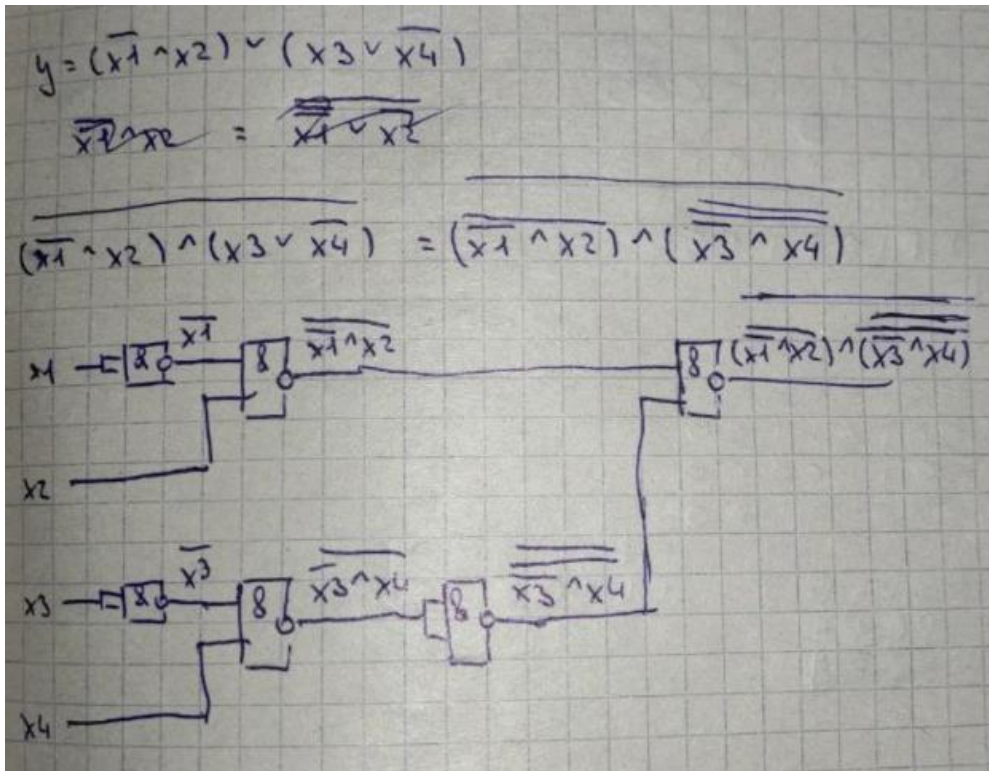
1. DMA принимает запрос на линии входа от внеш. устройства.
2. Формирует HOLD (запрос на линии захвата шины).
3. МП завершает текущий цикл, переключает входы в высокоимпедансное состояние и сообщает об этом сигналом HLDA.
4. DMA сообщает внеш. устройству о начале выполнения циклов DMA.
5. Формирует на ША (шина адреса) МП ячейки для обмена.
6. Вырабатывает управляющие сигналы обеспечения обмена.

2. Состав УУ микропроцессора.

Обеспечивает управление выполнением команды

- 1) Регистр команд (прием, хранение команды пока она выполняется МП).
- 2) Счётчик команд (хранит относ. адрес (смещение) следующей команды и следит за последовательностью выполнения команд).
- 3) Микропрограммное УУ (обеспечивает вертикальную совместимость процессоров одного ряда по системе команд – процессор, выпущенный последним, способен выполнять все команды предыдущих процессоров).
- 4) Очередь команд (увеличивает быстродействие процессора).

3. Преобразовать функцию У в базис Шеффера $y = (\overline{x1} \wedge x2) \vee (x3 \vee \overline{x4})$. Построить схему на элементах Шеффера.



Билет №26

1. Характеристики синхронных ИМС динамической оперативной памяти DDR, DDR1, DDR2. Стандарт JEDEC.

DDR (синхронная динамическая ОП) с двойной скоростью передачи (2 раза за такт). Разрядность ячейки ядра в 2 раза больше, чем кол-во входных/выходных данных ИМС.

DDR2 (обеспечивает двойные передачи данных за такт. Используется стандарт JEDEC. Разрядность ячейки ядра в 4 раза больше кол-ва входных/выходных данных).

JEDEC – базовый набор таймингов для определенной частоты на которой будет работать ОП.

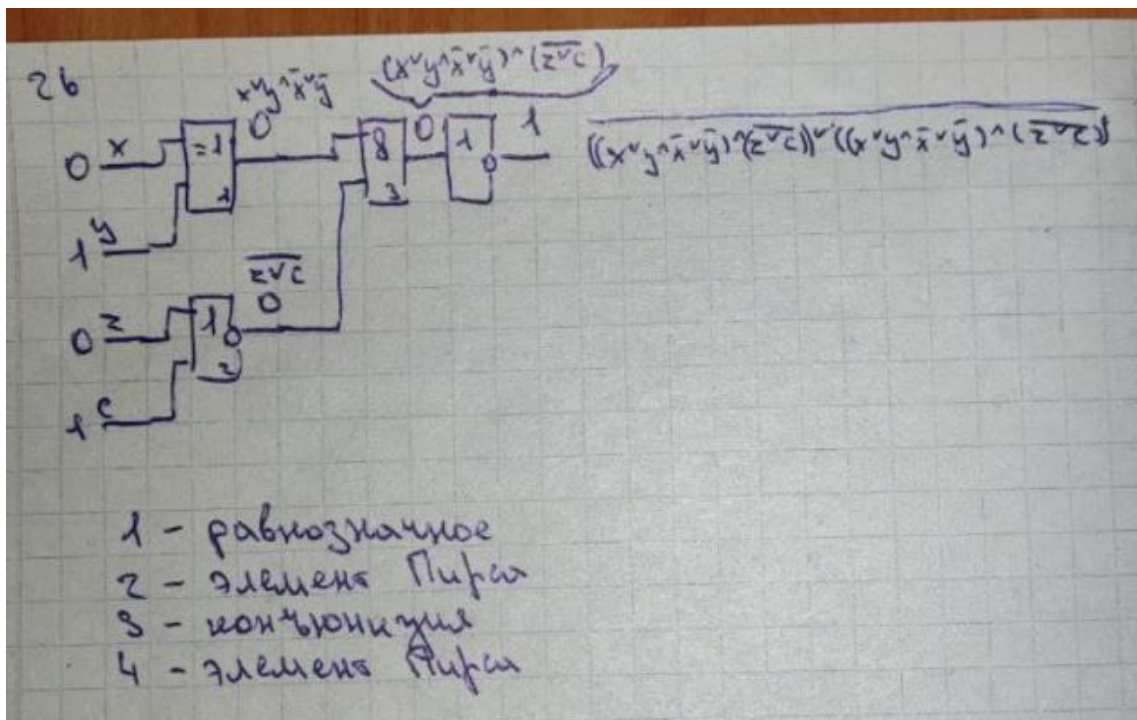
2. Диспетчер памяти, сегментные регистры.

Диспетчер памяти - предназначен для формирования физического адреса байта памяти.

Сегментные регистры – хранят селекторы.

По селектору диспетчер определяет физический адрес.

3. Указать названия элементов. Записать функцию на выходе каждого элемента и функцию на выходе схемы. Указать значение сигнала (0 или 1) на выходе каждого элемента.



Билет №27

1. AGP порт, режимы работы.

AGP порт. Ускоренный графический порт, тактовая частота – 66МГц, разрядность – 32 бита.

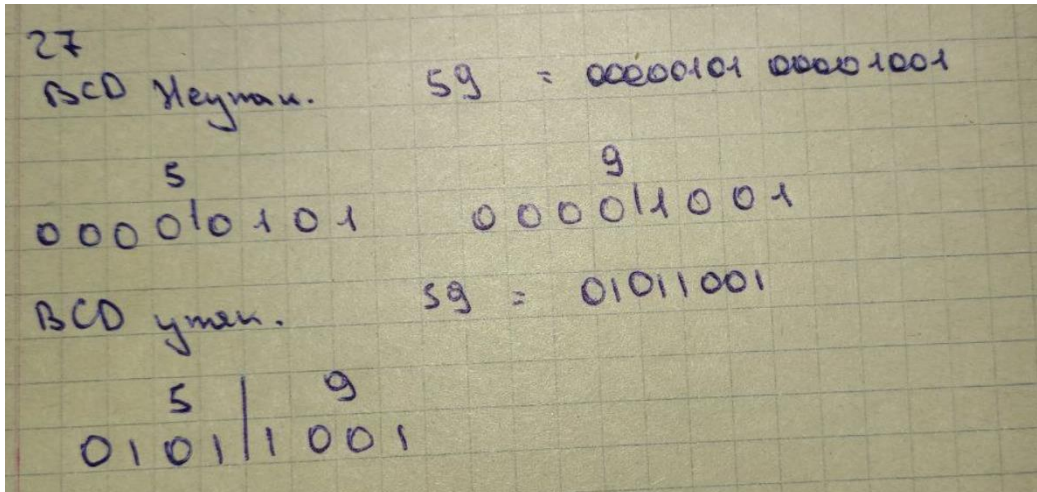
Режимы работы. Классический x1 – за 1 такт синхронизации передается 1 4х байтовый блок данных, а также режимы 2x, 4x, 8x, в которых соответственно за 1 такт передается 2, 4, 8 4х байтовых блока данных.

2. КЭШ со сквозной записью. КЭШ с отложенной записью.

Кэш со сквозной записью. Результат всегда сохраняется в ОП, в случае КЭШ-попадания копия сохраняется в КЭШ.

КЭШ с обратной записью. В случае КЭШ-попадания данные записываются только в КЭШ, в случае промаха - только в ОП.

3. Представить число 59 в форматах «BCD упакованный», «BCD неупакованный».



Билет №28

1. Контроль информации по паритету.

Контрольные биты принимаются по двунаправленным шинам DP3-DP0. Информационный и контрольный байты должны содержать чётное кол-во единиц.

В циклах записи МП формирует контрольные разряды (DP3-DP0).

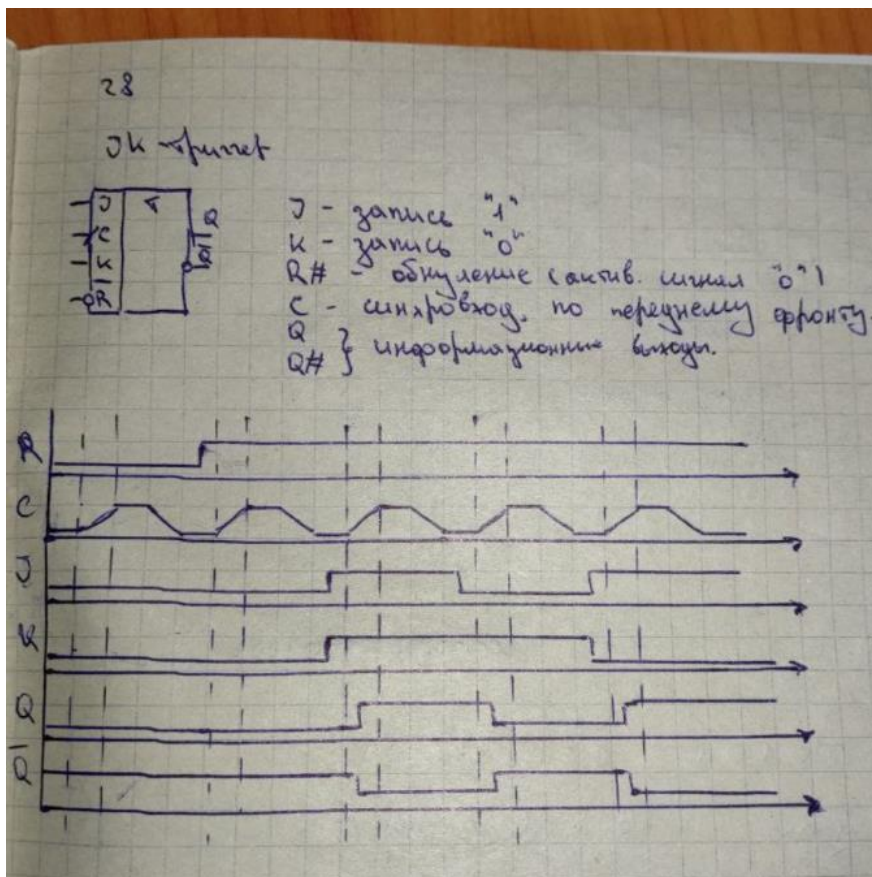
В циклах считывания МП принимает контрольные разряды и проверяет принимаемый код на чётность при обнаружении нечётного кода формирует сигнал РСНК#.

2. Реальный режим адресов, защищенный режим адресов.

Реальный режим. Обращение к ОП происходит по реальным адресам, набор допустимых операций неограничен, не используется защита памяти.

Защищенный режим. Многозадачная обработка информации, защита памяти с помощью 4х-уровневого механизма привилегий, доступны все имена адреса, размер сегмента любой.

3. Назовите триггер. Укажите синхронные информационные входы и асинхронные информационные входы, опишите синхровход. Постройте временную диаграмму работы триггера.



Билет №29

1. Системный порт, предназначение.

Системный порт – 8 разрядный регистр. Используется для управления немаскируемыми аппаратными прерываниями.

Функции:

- Разрешение немаскируемых АП
- Идентификация немаскируемых АП
- Управление звуком

2. Вектор прерывания, виды прерываний.

Прерывание – приостановка выполнения текущей задачи по какому-либо запросу с целью обработки этого запроса, и последующим возвращением приостановленной задачи.

Вектор прерывания – 4х-байтовая область памяти, позволяющая получить адрес обработчика. Младшие 2 байта вектора хранят нули, а старшие – базу вектора, располагаются в младших адресах памяти, занимают область размером 1024 байта.

Виды:

1. Программные.
2. Исключения (ловушки).
3. Аппаратные.

3. В программе TD.exe отобразить сегмент данных.

На ПК.

Билет №30

1. Виды прерываний, вектор прерывания.

Прерывание – приостановка выполнения текущей задачи по какому-либо запросу с целью обработки этого запроса, и последующим возвращением приостановленной задачи.

Вектор прерывания – 4х-байтовая область памяти, позволяющая получить адрес обработчика. Младшие 2 байта вектора хранят нули, а старшие – базу вектора, располагаются в младших адресах памяти, занимают область размером 1024 байта.

Виды:

1. Программные.
2. Исключения (ловушки).
3. Аппаратные.

2. Системный таймер.

Системный таймер – устройство, предназначенное для генерации: прерывания часов реального времени (канал 0), запросов на процесс регенерации памяти (канал 1), сигналов звуковой частоты (канал 2).

3. TD.exe вычислить физ. Адрес данных находящихся по относительному адресу DS:0004.

На ПК.

Билет №31

1. Процесс инициализации процессора.

Процесс начала подготовки к работе, включает в себя: тестирование, определение значений основных установок. Выполняется непосредственно после сброса процессора. В процессе производится самотестирование узлов процессора и определяется значение основных регистров.

2. Маскируемые и немаскируемые аппаратные прерывания.

Маскируемые – генерируются в результате запросов от устройств, эти запросы можно замаскировать, т.е. запретить их обработку.

Немаскируемые – обрабатываются всегда, независимо от запретов.

3. Определить способ адресации предложенной команды MOV ax, [0005], MOV bx+di, ax.

MOV ax, [0005] – прямая

MOV bx+di, ax – базово-индексная

Билет №32

1. Процесс синхронизации процессора.

Процесс синхронизации процессора – согласование во времени цифровых устройств, за формирование которой отвечает специальный высокочастотный тактовый генератор – он вырабатывает высокостабильные импульсы опорной частоты для синхронизации МП, системной шины и шин расширения.

Виды частот синхронизации:

1. Частота системной шины.
2. Внутренняя частота процессора.
3. Частота шины расширения.

2. Блокированные псевдоблокируемые циклы.

- Блокируемый цикл – циклы магистрали блокируются при выполнении команд типа чтение-модификация-запись. Сигнал на входе LOCK# говорит о том, что ЦП выполняет операцию типа Ч-М-З и не может передать управление магистралью.
- Псевдоблокируемый цикл – подразумевают что другие системные устройства, кроме МП не получают управление магистралью при многоцикловых передачах длинных операндов.

3. Структура команды, назначение полей команды.

Код операции 31-26 бит	MOD R/M 0 или 1 бит	SIB 0 или 1 бит	Смещение 0, 2, 4 байт	Непосредственный операнд 0, 1, 2, 4 байт
---------------------------	------------------------	--------------------	--------------------------	---

1. КОП (Код операции) – кодирует выполняемое действие.
2. MOD R/M – определяет способ адресации операндов.
 - 2.1. MOD R/M – определяет адрес одного из операндов, который может храниться в РОНе (R) или в памяти (M (memory)).
 - 2.2. REG/ROM – в одноступенчатых командах содержит доп. биты кода операции, в двухадресных содержит код РОНа в котором хранится второй операнд.

Поле MOD R/M

7	6	5	4	3	2	1	0
MOD	REG/ROM			R/M			

3. SIB – позволяет реализовать некоторые способы адресации.
 - 3.1. BASE – выбор регистра в качестве базового.
 - 3.2. INDEX – выбор регистра в качестве индексного.
 - 3.3. SS – масштабный коэф. для модификации знач. индекса.

Поле SIB

7	6	5	4	3	2	1	0
SS	INDEX			BASE			

4. Смещение – хранит относительный адрес операнда.
5. Непосредственный операнд – хранит операнд при непосредственной адресации.

Билет №33

1. Ведущий и ведомый ПКП.

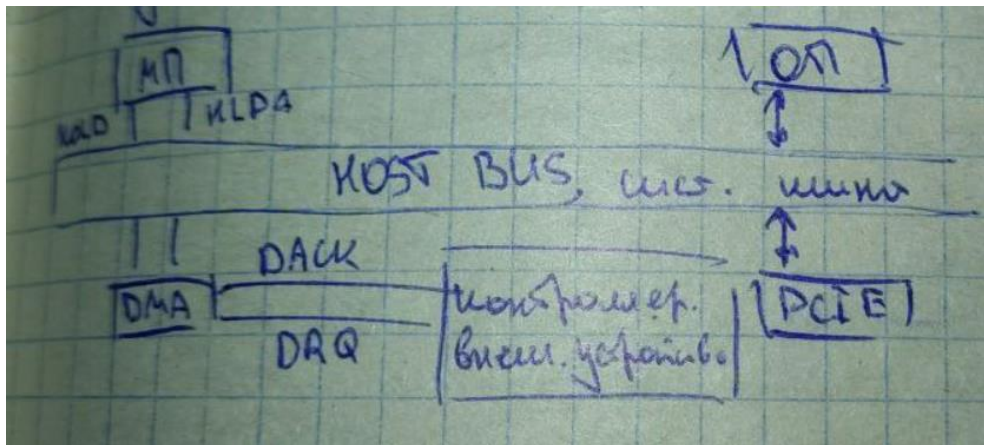
Ведущий ПКП – из пространства ввода/вывода ему доступны адреса 20h и 21h к входам 7-0 этого ПКП подключены линии прерываний IRQ7-IRQ0.

Ведомый ПКП – из пространства ввода/вывода доступны A0h и A1h ко входам этого ПКП подключены линии прерываний IRQ15-IRQ8.

Ведомый подключен к 2ⁿ входам ведущего ПКП.

2. Перехват системной шины контроллером ПДП.

1. DMA принимает запрос на линии DRQ на ПДП от внешнего устройства.
2. Формирует запрос на линии HOLD на захват шины.
3. МП завершает текущий цикл, переключает входы в высокоимпедансное состояние и сообщает об этом сигналом HLDA.
4. DMA на линии DACK сообщает внешнему устройству о начале выполнения циклов ПДП.
5. DMA формирует на шине адреса ячейки памяти, предназначенной для обмена.
6. Вырабатывает управляющие сигналы, обеспечивающие обмен.



3. Определить способ адресации предложенной команды MOV ax, [0007], MOV ax, ah.

MOV ax, [0007] – прямая

MOV ax, ah – регистровая