

Оглавление

Оглавление	1
Полезные ссылки.....	2
Билет №1	3
Билет №2	5
Билет №3	7
Билет №4	9
Билет №5	11
Билет №6	14
Билет №7	16
Билет №8	20
Билет №9	23
Билет №10	25
Билет №11	27
Билет №12	29
Билет №13	31
Билет №14	32
Билет №15	33
Билет №16	35
Билет №17	37
Билет №18	39
Билет №19	43
Билет №20	44
Билет №21	46
Билет №22	48
Билет №23	50

Полезные ссылки

[Логические триггеры: схемы, типы, устройство, назначение \(pue8.ru\)](#)

[Электронный учебник \(ifmo.ru\)](#)

[<4D6963726F736F667420576F7264202D20CFF0E5E4F1F2E0E2EBE5EDE8E520F7E8F1E5EB20E220DDC2CC2E646F63> \(msu.ru\)](#)

[Контроллер прямого доступа к памяти | OSDev Wiki | Fandom](#)

[Организация и модели памяти, адресация \(prog-cpp.ru\)](#)

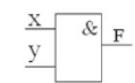
Билет №1

1.1

Конъюнкция - бинарная операция над высказываниями, результатом которой является истинное высказывание только в случае, когда исходные высказывания истинны.

Дизъюнкция — логическая операция, по своему применению максимально приближенная к союзу "или" в смысле "или то, или это, или оба сразу».

Конъюнкция \wedge • \odot «И»

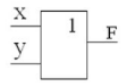


x	y	F
0	0	0
0	1	0
1	0	0
1	1	1

$$X \wedge Y = F$$

$$X \bullet Y = F$$

Дизъюнкция \vee + «ИЛИ»

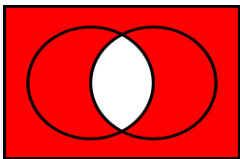


x	y	F
0	0	0
0	1	1
1	0	1
1	1	1

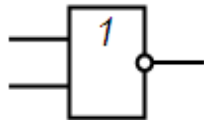
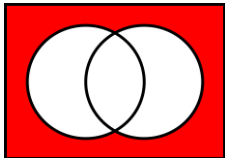
$$X \vee Y = F$$

$$X + Y = F$$

Штрих Шифера —



Стрелка Пирса —



1.2

Флаги — неизвестно

Системные флаги и поле IOPL [\[править | править код \]](#)

Системные флаги и поле IOPL управляют операционной средой и не предназначены для использования в прикладных программах.

- IF — обнуление этого флага запрещает отвечать на **маскируемые** запросы на прерывание.
- TF — установка этого флага разрешает пошаговый режим **отладки**, когда после каждой выполненной инструкции происходит прерывание программы и вызов специального обработчика прерывания (см. также: `Int3`).
- IOPL — показывает уровень приоритета ввода-вывода исполняемой программы или задачи: чтобы программа или задача могла выполнять инструкции ввода-вывода или менять флаг IF, её **текущий уровень приоритета (CPL)** должен быть \leq IOPL.
- NT — этот флаг устанавливается, когда текущая задача «вложена» в другую, прерванную задачу, и сегмент состояния TSS текущей задачи обеспечивает обратную связь с TSS предыдущей задачи. Флаг NT проверяется инструкцией `IRET` для определения типа возврата — межадачного или внутризадачного.
- RF — флаг маскирования ошибок отладки.
- VM — установка этого флага в **защищённом режиме** вызывает переключение в **режим виртуального 8086**.
- AC — установка этого флага вместо с битом AM в регистре CR0 включает контроль **выравнивания** операндов при обращениях к памяти — обращение к невыравненному операнду вызывает исключительную ситуацию.
- VIF — виртуальная копия флага IF; используется совместно с флагом VIP.
- VIP — устанавливается для указания наличия отложенного прерывания; используется совместно с флагом VIF.
- ID — возможность программно изменить этот флаг в регистре флагов указывает на поддержку инструкции `CPUID`.^[2]

Системные флаги – [ссылка](#) (под вопросом)

Системный таймер - это устройство подключено к линии запроса на прерывание IRQ0 и вырабатывает прерывание INT 8h приблизительно 18,2 раза в секунду (не уверен)

Системный таймер

Это устройство, которое предназначается для

- Генерации прерывания часов реального времени
- Генерации запросов на процесс регенерации памяти
- Генерации сигналов звуковой частоты
- Которое состоит из трех каналов

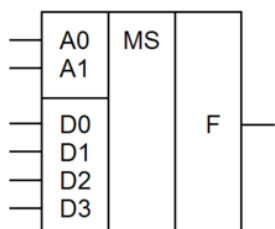
1.3

Неизвестно

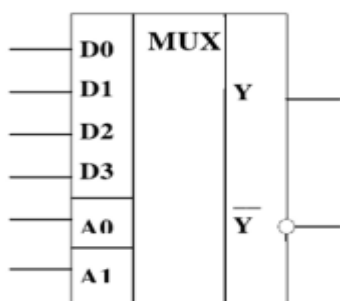
Билет №2

2.1

Мультиплексор — устройство, имеющее несколько сигнальных входов, один или более управляющих входов и один выход. Мультиплексор позволяет передавать сигнал с одного из входов на выход; при этом выбор желаемого входа осуществляется подачей соответствующей комбинации управляющих сигналов.



Адресные входы обозначены как A0 и A1.
Информационные входы D0-D3
Выход - F



D0	D1	D2	D3	A1	A0	Y
1	0	0	0	0	0	D0
0	1	0	0	0	1	D1
0	0	1	0	1	0	D2
0	0	0	1	1	1	D3

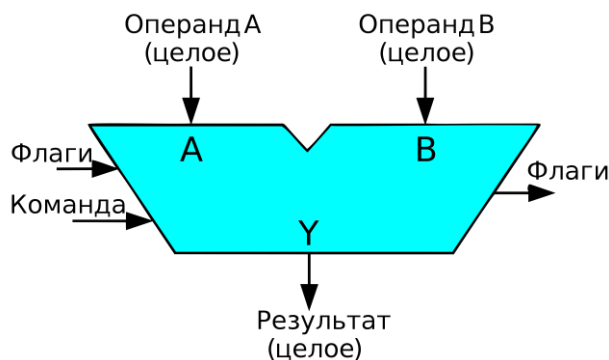
а)

б)

(эти 2 УГО по факту правильные, но мне кажется лучше использовать MS)

2.2

Арифметико-логическое устройство (АЛУ) — блок процессора, который под управлением устройства управления служит для выполнения арифметических и логических преобразований (начиная от элементарных) над данными, называемыми в этом случае операндами. Разрядность операндов обычно называют размером или длиной машинного слова. (Хорошая статья [ссылка](#))



Операции в АЛУ

Выполняемые в АЛУ операции можно разделить на следующие группы:

- операции двоичной арифметики для чисел с фиксированной точкой;
- операции двоичной (или 16) арифметики для чисел с плавающей точкой;
- операции десятичной арифметики;
- операции индексной арифметики (при модификации адресов команд);
- операции специальной арифметики;
- операции над логическими кодами (логические операции);
- операции над алфавитно-цифровыми полями.

2.3

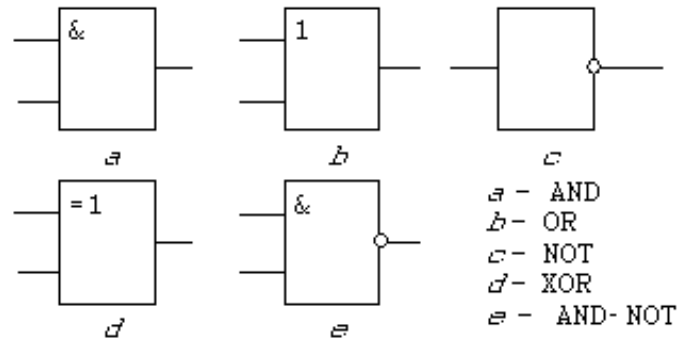
Обработка прерываний большая инфа нужно по [ссылке1](#) [ссылка2](#) (мб не верно)

Билет №3

3.1

ТУДУ

Расписать текстом



3.2

Типы данных

- Процессор работает с типами данных
 - 1) целые данные без знака
 - 1.2) байт без знака
 - 1.3) слово без знака
 - 1.4) двойное слово
 - 2) целые данные со знаком
 - 2.1) Байт со знаком
 - 2.2) Слово со знаком
 - 2.3) двойное слово со знаком
 - 2.4) Длинное целое число

Целые типы данных

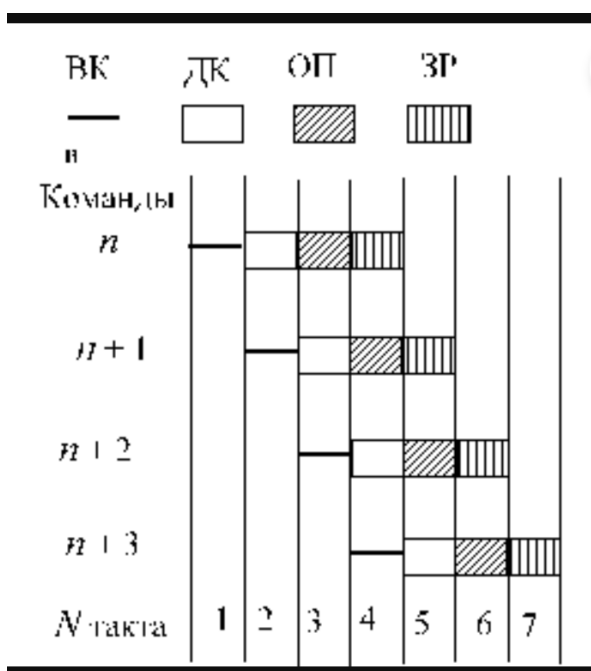
Фундаментальный тип	Целый тип	Диапазон
байт (byte)	символ со знаком (signed char)	-128...+127
	символ без знака (unsigned char)	0...255
слово (word)	короткое со знаком (signed short)	-32768...+32767
	короткое без знака (unsigned short)	0...65535
двойное слово (doubleword)	целое со знаком (signed int)	-2147483648...+2147483647
	целое без знака (unsigned int)	0...4294967295

3.3

Конвейерный принцип подразумевает, что в каждый момент времени процессор работает над различными стадиями выполнения нескольких команд, причем на выполнение каждой стадии выделяются отдельные аппаратные ресурсы. (НЕ УВЕРЕН)

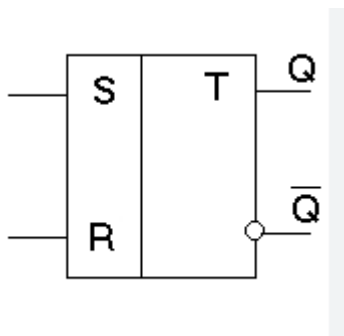
В каждый такт процессор делает что-то:

- Выборка (ВК)
- Декодирование (ДК)
- Исполнение (ОП)
- Запись (ЗР)



4.1

Асинхронный RS-триггер с прямыми входами имеет два информационных входа R и S, используемые для установки соответственно 1 и 0, а также два выхода: прямой Q и инверсный. RS-триггер построен на двух логических элементах



s^t	R^t	Q^t	Q^{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	-
1	1	1	-

4.2

Магистраль – устройство, которое осуществляет взаимосвязь и обмен информацией между всеми устройствами компьютера.

Магистраль включает в себя три многопроводные шины, представляющие собой многопроводные линии:

- шину данных,
- шину адреса,
- шину управления.

По шине данных между устройствами передаются данные, по шине адреса от процессора передаются адреса устройств и ячеек памяти, по шине управления передаются управляющие сигналы.

Основными характеристиками системной шины является разрядность и частота

Время, затрачиваемое на выполнение команды, называется **командным циклом**. Команды имеют не одинаковую длительность командных циклов, так как содержат различное число микрокоманд, используют разные способы адресации и другую дополнительную информацию.

Циклы захвата магистрали - инициализировать передачу данных на магистрали могут несколько устройств (активные устройства). Для разделения доступа к магистрали существует механизм ее захвата. Основным активным устройством с максимальным приоритетом на доступ к магистрали является процессор.

4.3

Пропускная способность шины данных (измеряется в бит/с) равна произведению разрядности шины (измеряется в битах) и частоты шины (измеряется в Гц = 1/с).

Тут непонятно потому что указаны 2 вида шин (решение для обоих):

Шина расширения – $666000000 \text{ Гц (66 МГц)} * 64 \text{ бит} = 42624000000 \text{ бит/с}$

Шина адреса шины расширения - $666000000 \text{ Гц (66 МГц)} * 32 \text{ бит} = 21312000000 \text{ бит/с}$

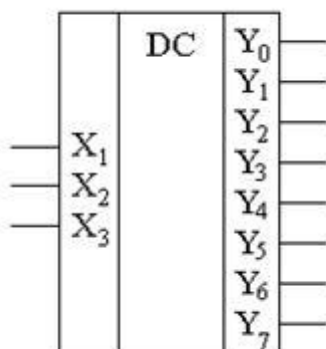
5.1

Дешифратор (или декодер) – это логическое комбинационное устройство, служащее для преобразования двойного двоичного кода в сигнал управления в десятичной системе исчисления на одном из выходов.

Полный дешифратор имеет n входов и $k = 2^n$ выходов, неполный - n входов и $k < 2^n$ выходов, селектор - n входов и 1 выход.

Принцип работы дешифратора

Обычно дешифратор имеет n -входов и 2^n выходов, при этом n — разрядность дешифрируемого кода. Определенной комбинации на входе соответствует активный сигнал на одном из выходов, или при сигнале «00» — мы имеем «1» на нулевом выходе схемы; при «01» имеем — «1» на первом выходе, сигнал «10» трансформируется в 1 – на втором выходе и т.д. Другими словами, эти элементы схем могут преобразовывать двоичный код в различные системы исчисления (это может быть десятичная, шестнадцатеричная и пр.), поскольку все зависит от конкретной задачи, выполняемой микросхемой.

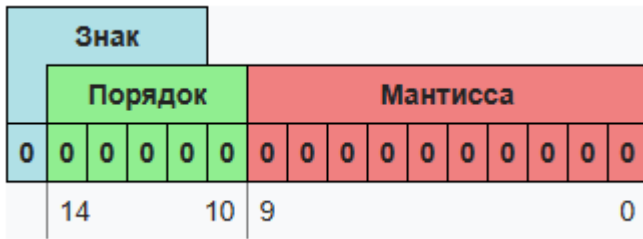


X_3	X_2	X_1	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

5.2

Типы данных

- 3) Вещественные числа (числа с плавающей точкой)
- 3.1) Короткое вещественное
- 3.2) Длинное вещественное
- 3.3) Расширенное вещественное
- 4) двоично десятичные данные
- 4.1) Восьми разрядный упакованный
- 4.2) Восьми разрядный не упакованный
- 4.3) Восьмидесяти разрядный упакованный BCD формат
- 5) Символьные данные



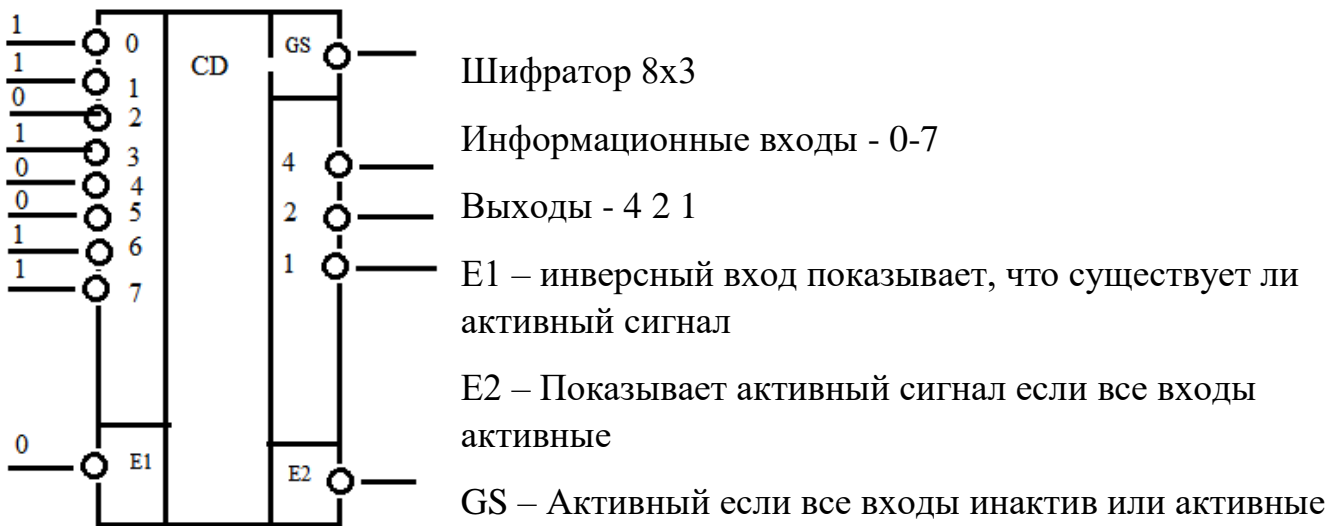
Знак – если 0 => +; если 1 => -;

Порядок – на сколько нужно сместить точку у мантиссы

Мантисса – число в двоичке

Если мантисса – 0000000000, а порядок 4, то 0000,000000

5.3



Все видно в таблице ниже (будьте внимательны потому что у нас инверсный 0-актив 1-инактив)

Входы		Выходы			
-E1	0 1 2 3 4 5 6 7	-GS	4 2 1	-EO	
1	x x x x x x x x	1	1 1 1 1		
0	1 1 1 1 1 1 1 1	1	1 1 1 0		
0	x x x x x x x 0	0	0 0 0 1		
0	x x x x x 0 1 0	0	0 0 1 1		
0	x x x x 0 1 1 0	0	0 1 0 1		
0	x x x x 0 1 1 1	0	0 1 1 1		
0	x x x 0 1 1 1 1	1	0 0 1		
0	x x 0 1 1 1 1 1	1	0 1 1		
0	x 0 1 1 1 1 1 1	1	1 0 1		
0	0 1 1 1 1 1 1 1	1	1 1 1 1		

Если я правильно понял и помню считается так:

Ищем максимальный номер входа, у которого активный сигнал (в нашем случае это 5)

Далее смотрим по таблице истинности

№	Позиционный код								Двоичный код		
	X ₇	X ₆	X ₅	X ₄	X ₃	X ₂	X ₁	X ₀	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	1	0	0	0	1
2	0	0	0	0	0	1	0	0	0	1	0
3	0	0	0	0	1	0	0	0	0	1	1
4	0	0	0	1	0	0	0	0	1	0	0
5	0	0	1	0	0	0	0	0	1	0	1
6	0	1	0	0	0	0	0	0	1	1	0
7	1	0	0	0	0	0	0	0	1	1	1

Следовательно, на выходах

4	2	1
1	0	0

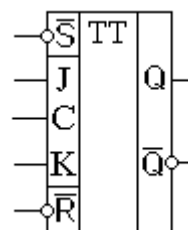
=> Ответ 5 в десятичке

P.S. Возможно неправильно

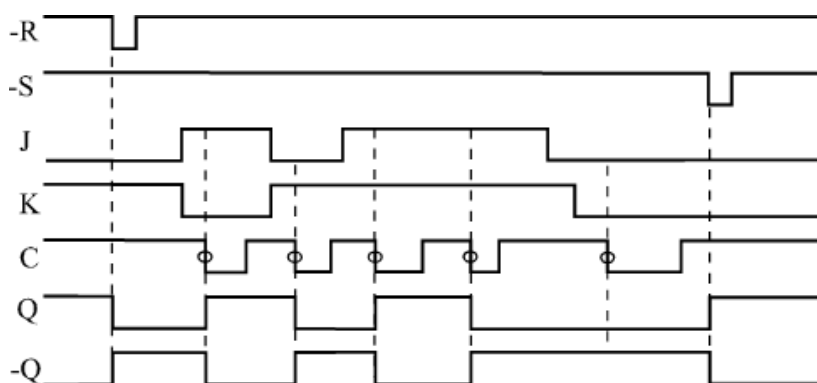
6.1

JK-триггер — это универсальный триггер, на базе которого можно реализовать любой из рассмотренных ранее триггеров. Таблица истинности jk-триггера практически совпадает с таблицей истинности синхронного RS-триггера. Для того чтобы исключить запрещённое состояние, его схема изменена таким образом, что при подаче двух единиц jk-триггер превращается в счётный T-триггер. Это означает, что при подаче на тактовый вход С импульсов он изменяет своё состояние на противоположное.

С	К	J	Q(t)	Q(t+1)	Пояснения
0	x	x	0	0	Режим хранения информации
0	x	x	1	1	
1	0	0	0	0	Режим хранения информации
1	0	0	1	1	
1	0	1	0	1	Режим установки единицы J=1
1	0	1	1	1	
1	1	0	0	0	Режим записи нуля K=1
1	1	0	1	0	
1	1	1	0	1	K=J=1 счетный режим триггера
1	1	1	1	0	



Для реализации счетного режима в схеме введена перекрестная обратная связь с выходов второго триггера на входы R и S первого триггера. Благодаря обратной связи на входах R и S первого триггера никогда не может возникнуть запрещенная комбинация, а то, что она перекрестная, вводит новый режим работы — счетный. При подаче на входы j и k логической единицы одновременно JK-триггер переходит в счетный режим, подобно T триггеру.



6.2

Управляющий автомат, устройство управления процессором (УУ) — блок, устройство, компонент аппаратного обеспечения компьютеров. Представляет собой конечный дискретный автомат. Структурно устройство управления состоит из: дешифратора команд (операций), регистра команд, узла формирования (вычисления) текущего исполнительного адреса, счётчика команд.

Принцип действия

При выполнении программы УУ на входе получает очередную инструкцию или команду программы, которая поступает в регистр команд. Структурно регистр команд состоит из двух частей: в одной части хранится код операции (КОП), в другой части расположены адреса операндов, участвующих в управлении. Код операции поступает в дешифратор операции, который запускает последовательность смены состояний конечного автомата УУ, в современных машинах - запускает некоторую микропрограмму, хранящуюся в ПЗУ микропрограмм. Суть работы УУ заключается в последовательном выставлении комбинаций сигналов управления на линиях управления.

При переходе из одного внутреннего состояния в следующее состояние конечного автомата УУ также учитывается состояние регистра признаков результата выполнения предыдущей команды (регистра флагов), состояние управляющих входов (например, сигналов готовности периферийных устройств, линий аппаратных прерываний) и на выход УУ выдает последовательности импульсов управления (межрегистровыми пересылками, адресацией и сигналами пересылок данных практически между всеми блоками компьютера — арифметико-логическим устройством (АЛУ), подсистемой ввода/вывода, оперативной памятью и другие).

Почти всегда для исполнения команды/инструкции УУ выдает несколько управляющих импульсов или их комбинаций в определяемой кодом команды/инструкции последовательности. После завершения выдачи всех импульсов управления для исполнения текущей команды УУ считывает код следующей команды и т. д.

УУ обычно синхронизируется внешними тактовыми импульсами, формируемым генератором тактовых импульсов (ГТИ), то есть переход из состояния в состояние конечного автомата УУ происходит на каждом тактовом импульсе, в некоторых УУ для увеличения быстродействия управляющие импульсы формируются как на нарастающем фронте импульса, так и на падающем.

6.3

ТУДУ

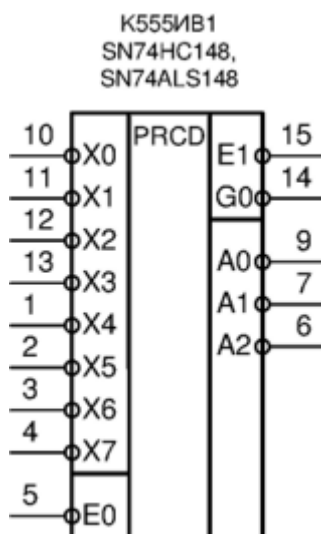
7.1

Шифратор — это комбинационное устройство, преобразующее десятичные числа в двоичную систему счисления, причем каждому входу может быть поставлено в соответствие десятичное число, а набор выходных логических сигналов соответствует определенному двоичному коду.



Рис. 3.35

В интегральном исполнении выпускаются приоритетные шифраторы, формирующие код старшей активной входной цепи



X₀...X₇ - информационные входы;

A₀, A₁, A₂ - двоичный код на выходе;

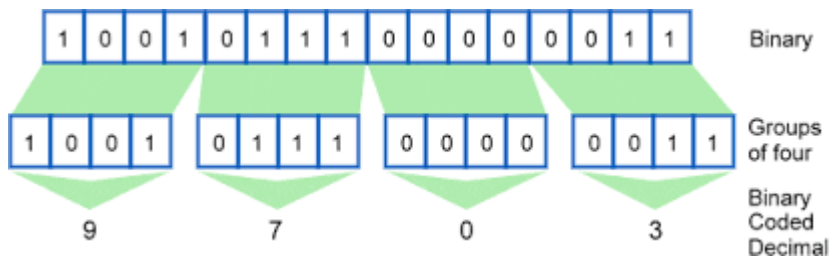
E₀ - вход разрешения включения шифратора, используется для управления каскадным включением нескольких микросхем;

E₁ - свидетельствует об отсутствии активных цепей в данной микросхеме и также используется для управления каскадным включением нескольких микросхем;

G - выход разрешения формирования старших разрядов выходного кода, свидетельствует о наличии хотя бы одной активной входной цепи.

7.2

Структура и форматы двоично–десятичных (BCD) данных



При нажатии клавиши клавиатуры сигнал посылается в компьютер в виде двоичного числа, которое хранится в кодовой таблице. Кодовая таблица – это внутреннее представление символов в компьютере. В качестве стандарта в мире принята таблица ASCII. Для хранения двоичного кода одного символа выделен 1 байт = 8 бит. Так как 1 бит принимает значение 0 или 1, то с помощью одного байта можно закодировать $2^8 = 256$ различных символов, так как именно столько различных кодовых комбинаций можно составить.

7.3

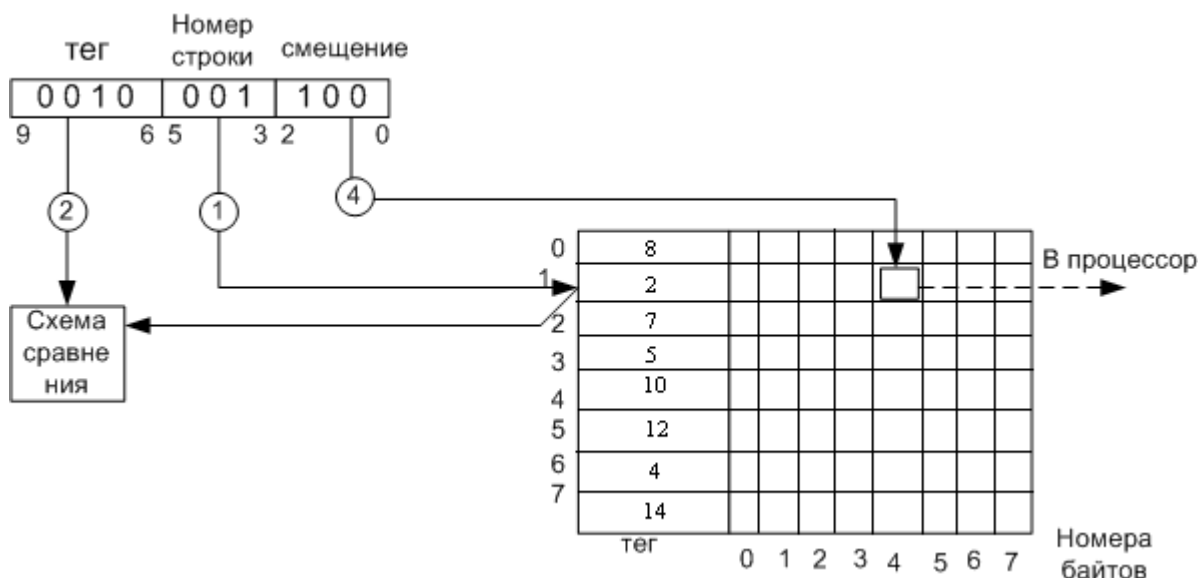
Кэш-память (КП), или кэш, представляет собой организованную в виде ассоциативного запоминающего устройства (АЗУ) быстродействующую буферную память ограниченного объема, которая располагается между регистрами процессора и относительно медленной основной памятью и хранит наиболее часто используемую информацию совместно с ее признаками (тегами), в качестве которых выступает часть адресного кода.

Архитектура КЭШ-памяти определяется тем, каким образом достаточно большая оперативная память отображается на сравнительно небольшой КЭШ.

Существует три разновидности отображения:

- КЭШ память с прямым отображением.
- Полностью ассоциативная КЭШ -память.
- Частично ассоциативная КЭШ-память.

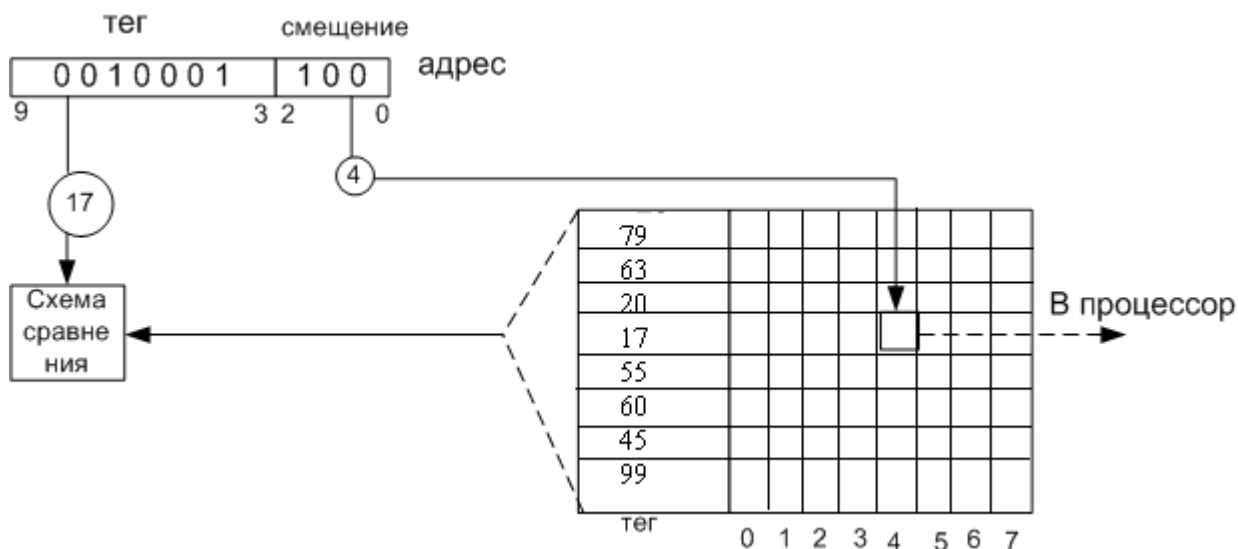
1. Кэш память с прямым отображением



Если значение тега строки КЭШа совпадает со значением тега из адреса, то происходит чтение байта информации из КЭШа. Такая ситуация квалифицируется как КЭШ-попадание.

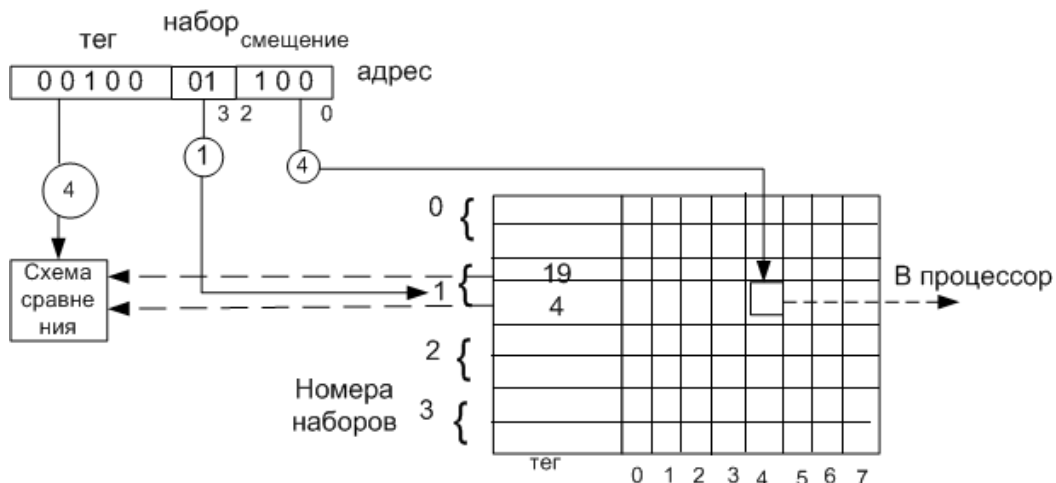
Если эти теги не совпадают, то это означает, что искомый байт отсутствует в КЭШе и для его чтения (байта) следует обращаться к ОЗУ. Эта ситуация квалифицируется как КЭШ-промах.

2. Полностью ассоциативная кэш память.



При обращении к такой КЭШ памяти происходит сравнение тега адреса с тегами всех строк КЭШа, причем это сравнение происходит за один такт. Если в результате сравнения тег адреса совпадет с тегом одной из строк, то это значит, что произошло КЭШ попадание, и нужный байт будет прочитан из выбранной строки по полю смещения. (в нашем случае оно равно 4). Если же тег адреса не совпал ни с одним тегом строк, то это – КЭШ промах и нужная строка в КЭШ памяти отсутствует. В этом случае процессор вынужден обращаться за информацией к ОЗУ.

3. Частично ассоциативная КЭШ-память.



Разумным компромиссом между двумя рассмотренными ранее архитектурами является частично ассоциативная организация КЭШ памяти. В этом случае несколько строк КЭШа объединяются в наборы, к которым происходит обращение с помощью средних бит адреса (поле набора).

Сравнение тегов КЭШа с тегом адреса происходит только для строк, входящих в выбранный набор. При совпадении тега адреса с одним из тегов набора происходит чтение байта из КЭШа (КЭШ попадание). Если такого совпадения нет (КЭШ промах), то происходит обращение к ОЗУ.

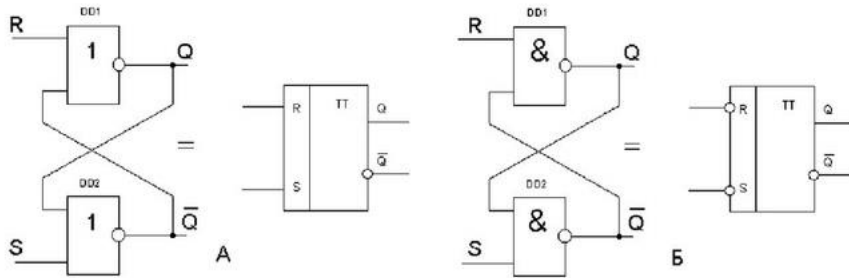
Принцип работы КЭШа

В процессе работы отдельные блоки информации копируются из основной памяти в кэш-память. При обращении процессора за командой или данными сначала проверяется их наличие в КП. Если необходимая информация находится в кэше, она быстро извлекается. Это кэш-попадание. Если необходимая информация в КП отсутствует (кэш-промах), то она выбирается из основной памяти, передается в микропроцессор и одновременно заносится в кэш-память. Повышение быстродействия вычислительной системы достигается в том случае, когда кэш-попадания реализуются намного чаще, чем кэш-промахи.

8.1

Асинхронный RS – триггер с инверсными входами

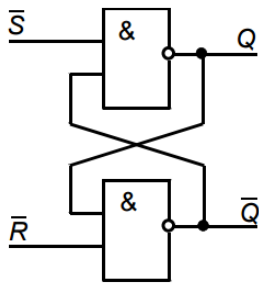
Асинхронный RS-триггер



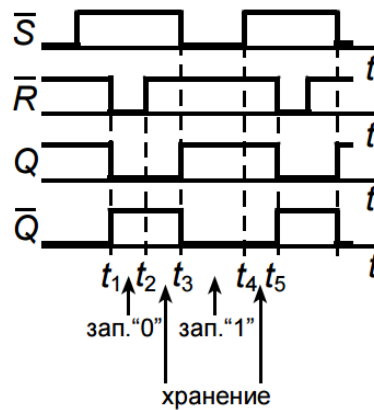
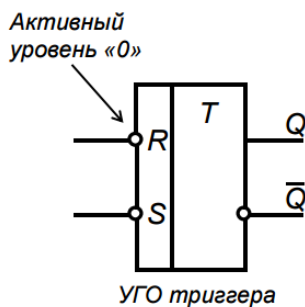
В зависимости от логической структуры различают RS-триггеры с прямыми и инверсными входами. Их схемы и условные обозначения приведены на рисунке. Триггеры такого типа построены на двух логических элементах 2ИЛИ-НЕ - триггер с прямыми входами (а), 2И-НЕ - триггер с инверсными входами (б). Выход каждого из элементов подключен к одному из выходов другого элемента.

Если билет такой будет я думаю нужно указать что 2И-НЕ, а не 2ИЛИ-НЕ

Асинхронный RS-триггер (схема на элементах И-НЕ)



\bar{R}	\bar{S}	Q^n	Q^{n+1}	
0	0	X	X	запрещенное состояние!
0	1	X	0	запись «0»
1	0	X	1	запись «1»
1	1	X	Q^n	хранение



8.2

Регистры общего назначения предназначены для хранения операндов арифметико-логических инструкций, а также адресов или отдельных компонентов адресов ячеек памяти.

Кроме того, каждый регистр имел свои специфические функции:

- AX — аккумулятор. Использовался для хранения операндов в командах умножения и деления, ввода-вывода, в некоторых командах обработки строк и других операциях;
- BX — регистр базы. Используется для хранения адреса или части адреса операнда, находящегося в памяти;
- CX — счётчик. Содержит количество повторений строковых операций, циклов и сдвигов;
- DX — регистр данных. Используется для косвенной адресации портов ввода-вывода, а также как «расширитель» аккумулятора в операциях удвоенной разрядности;
- SI — регистр адреса источника. Используется в строковых операциях, а также в качестве индексного регистра при обращении к операндам в памяти;
- DI — регистр адреса приёмника. Используется в строковых операциях, а также в качестве индексного регистра при обращении к операндам в памяти;
- BP — указатель кадра стека. Используется для адресации операндов, расположенных в стеке;
- SP — указатель стека. Используется при выполнении операций со стеком, но не для явной адресации операндов в стеке.

Восемь регистров общего назначения имеют длину в 32 бит и содержат адреса или данные. Они поддерживают операнды-данные длиной 1, 8, 16, 32 и (при использовании двух регистров) 64 бит; битовые поля от 1 до 32 бит; операнды-адреса длиной 16 и 32 бит. Эти регистры называются EAX, EBX, ECX, EDX, ESI, EDI, EBP, ESP.

8.3

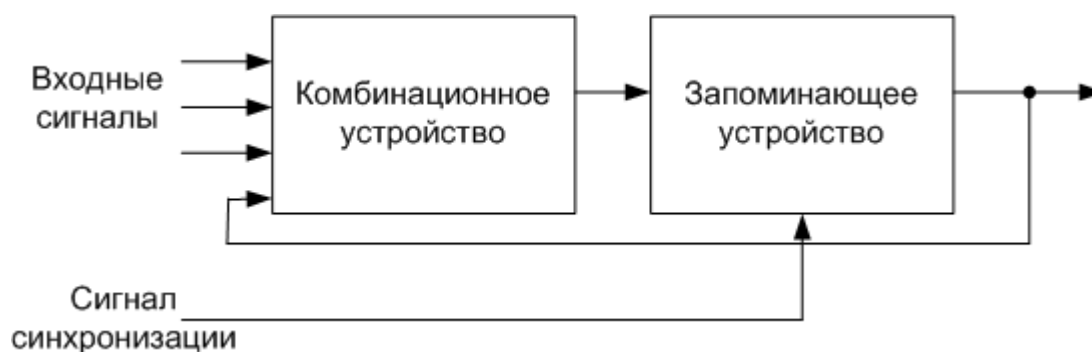
В зависимости от типа элементов, из которых построен автомат, различают два основных типа комбинационных автоматов:

- комбинационные схемы;
- цифровые автоматы с памятью.

Комбинационные схемы состоят только из логических элементов (И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ и т.д.). Комбинационные схемы могут иметь несколько входов и несколько выходов.

Главной особенностью комбинационных схем является то, что сигнал на выходе комбинационных автоматов зависит только от комбинации сигналов на входах системы и не зависит от времени. Таким образом, при многократном поступлении одного и того же сигнала на выходах комбинационной схемы будет формироваться один и тот же входной сигнал.

Автоматы с памятью еще называют последовательными устройствами. Они отличаются от комбинационных схем тем, что значение логических сигналов на их выходе зависит не только от текущих значений логических уровней на входе, но и от их значения в предыдущие моменты времени. Для того, чтобы можно было выполнить эту задачу в состав схемы вводится запоминающее устройство.



ТУДУ

9.1

Триггер — простейшее последовательностное устройство, которое может находиться в одном из двух возможных состояний и переходить из одного состояния в другое под воздействием входных сигналов. Триггер является базовым элементом последовательностных логических устройств. Входы триггера разделяют на информационные и управляющие (вспомогательные). Это разделение в значительной степени условно. Информационные входы используются для управления состоянием триггера. Управляющие входы обычно используются для предварительной установки триггера в некоторое состояние и для синхронизации.

Классификация триггеров

- по способу приема информации;
- по принципу построения;
- по функциональным возможностям.

Асинхронный триггер — изменяет свое состояние непосредственно в момент появления соответствующего информационного сигнала.

Синхронные триггеры в свою очередь подразделяют на триггеры со статическим (статические) и динамическим (динамические) управлением по входу синхронизации C . Статические триггеры воспринимают информационные сигналы при подаче на вход C логической единицы (прямой вход) или логического нуля (инверсный вход).

Динамические триггеры воспринимают информационные сигналы при изменении (перепаде) сигнала на входе C от 0 к 1 (прямой динамический C -вход) или от 1 к 0 (инверсный динамический C -вход).

Статические триггеры в свою очередь подразделяют на одноступенчатые (однотактные) и двухступенчатые (двухтактные). В одноступенчатом триггере имеется одна ступень запоминания информации, а в двухступенчатом — две такие ступени. Вначале информация записывается в первую ступень, а затем переписывается во вторую и появляется на выходе. Двухступенчатый триггер обозначают через ТТ.

Различие триггеров по функциональным возможностям

- с отдельной установкой состояния 0 и 1 (RS-триггеры);
- универсальные (JK-триггеры);
- с приемом информации по одному входу D (D-триггеры, или триггеры задержки);
- со счетным входом T (T-триггеры).

9.2

Арифметико-логическое устройство (АЛУ) — блок процессора, который под управлением устройства управления служит для выполнения арифметических и логических преобразований (начиная от элементарных) над данными, называемыми в этом случае операндами. Разрядность операндов обычно называют размером или длиной машинного слова. (Хорошая статья [ССЫЛКА](#))

Регистры дескрипторы – ТУДУ

9.3

Возможно неправильно

Дешифратор 2 на 4 с двумя наборами выходов

Входы 2 1 – инф входы

Входы E1.1 E1.2 – разрешающие входы на верхние инф. выходы

Входы E2.1 E2.2 – разрешающие входы на нижние инф. выходы

Знак & отвечает за способ объединения активных входов (что я написал)

Выходы 0 – 3 с 2 сторон – инф. выходы

Выходной сигнал – на верху активный сигнал на 3 выход, потому что у нас на верхние E входы активные => активные выходы – верхние

3 выход активен потому что по таблице

S_0	S_1	Z_0	Z_1	Z_2	Z_3
0	0	1	0	0	0
1	0	0	1	0	0
0	1	0	0	1	0
1	1	0	0	0	1

Получаем что 3 выход активен

10.1

D-триггером называется триггер с одним информационным входом, работающий так, что сигнал на выходе после переключения равен сигналу на входе D до переключения, т. е. $Q_{n+1}=D_n$ Основное назначение D-триггеров - задержка сигнала, поданного на вход D. Он имеет информационный вход D (вход данных) и вход синхронизации C

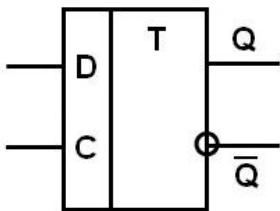
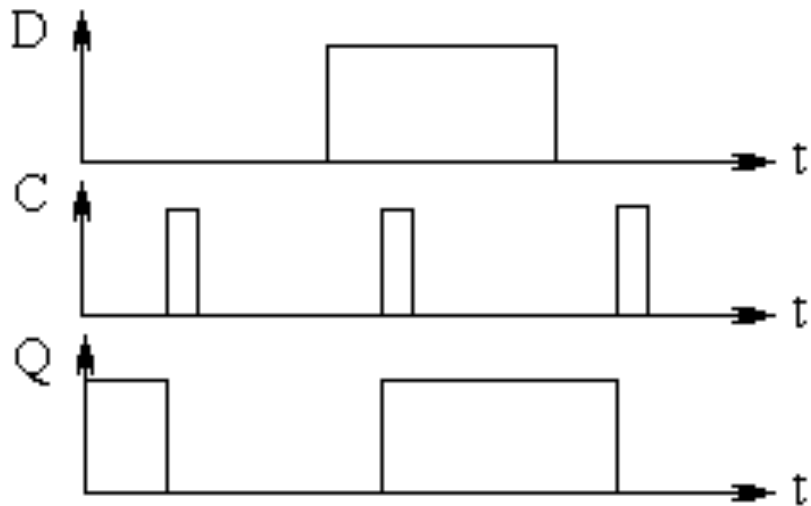
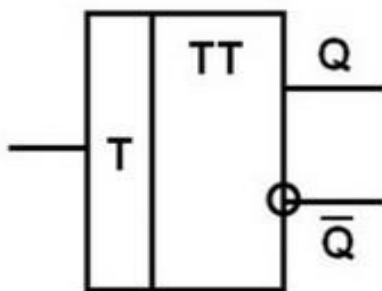


Рис. 65

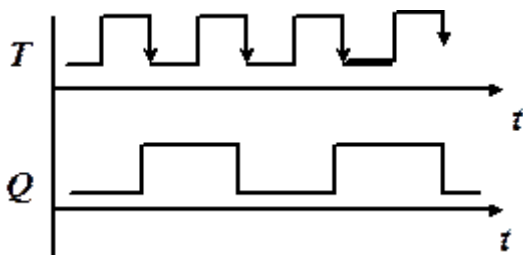


T-триггер

изменяет свое логическое состояние на противоположное по каждому активному сигналу на информационном входе T

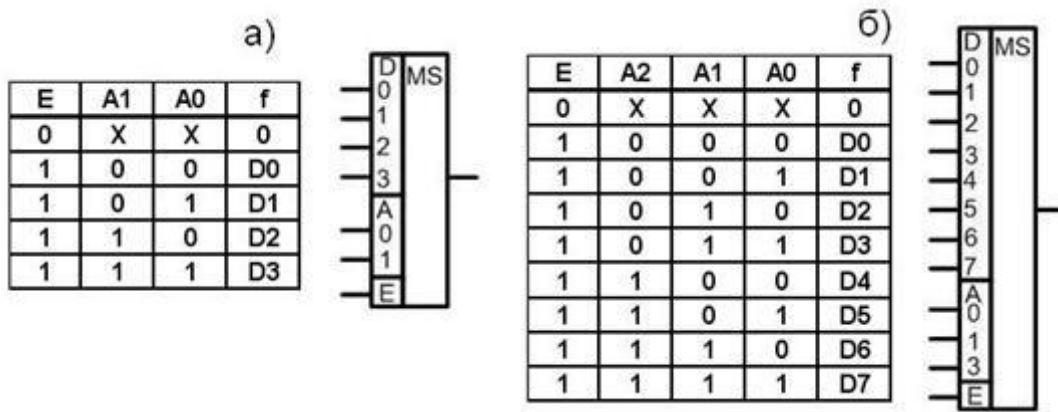


T	Q(t)	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0



10.2

Мультиплéксор — устройство, имеющее несколько сигнальных входов, один или более управляющих входов и один выход. Мультиплéксор позволяет передавать сигнал с одного из входов на выход; при этом выбор желаемого входа осуществляется подачей соответствующей комбинации управляющих сигналов.



D0...* - инф. входы

A0...* - адресные входы

Q – инф. выходы

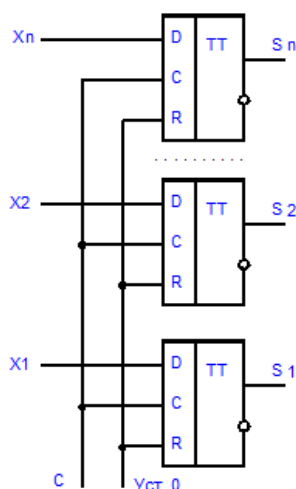
10.3

ТУДУ

Билет №11

Регистр с параллельным приемом и выдачей информации называется регистром памяти. В параллельных регистрах запись двоичного числа осуществляется параллельным кодом, т.е. во все разряды регистра одновременно. Их функция сводится только к приему, хранению и передаче информации, сводится только к приему, хранению и передаче информации.

Предварительная установка регистра в нулевое состояние осуществляется посылкой сигнала "Установить 0" на асинхронные входы сброса триггеров. Изменение информации в регистре происходит после изменения сигналов на входах X при поступлении сигнала на вход синхронизации С.



ТУДУ

11.2

Реальный режим: обращение к оперативной памяти происходит по реальным (действительным) адресам. Набор доступных операций не ограничен, защита памяти не используется.

Защищённый режим: обращение к памяти происходит по виртуальным адресам с использованием механизмов защиты памяти.

ТУДУ

11.3

Мультиплексор 2 на 4

D0...3 – инф.входы

A1 2 – адресные входы

E – вход разрешения работы

Y – выход

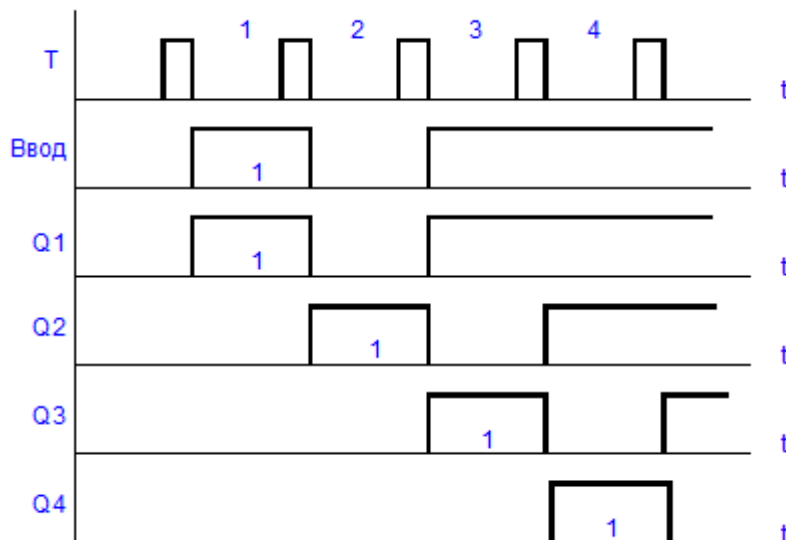
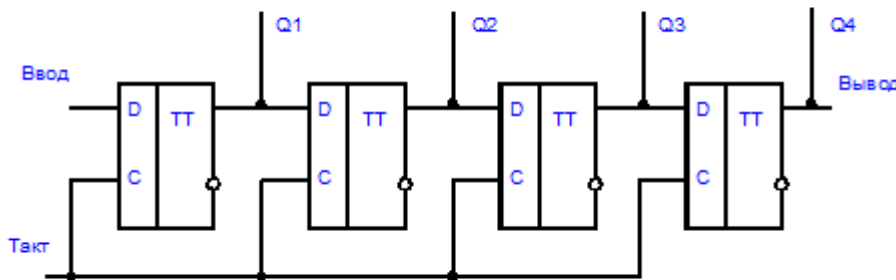
Ответ:

$Y = 0$

Так как у нас на адресные входы подается сигнал $10 \Rightarrow$ на выход мультиплексора будет подан сигнал с D2

12.1

Регистры с последовательным приемом и выдачей информации получили название регистров сдвига. Регистр состоит из последовательно соединенных D-триггеров или R-S-триггеров, состояния которых передаются (сдвигаются) на последующие триггера под действием тактовых импульсов. Тактовые импульсы управляют работой регистра. Регистры сдвига могут управляться одной последовательностью тактовых импульсов. В этом случае регистры называются одноктактными. При управлении двумя, тремя и т.д. последовательностями тактовых импульсов регистры соответственно относят к двух, трех и т.д. тактными.



12.2

Шина адреса (или адресная шина) — компьютерная шина, выделенная для передачи адресной информации. Она может представлять собой совокупность

проводников (контактов), которые физически отделены от других аналогичных шин, или подмножество проводников системной шины. Как правило, число проводников адресной шины равно максимально допустимому числу разрядов. Адресная шина используется центральным процессором или устройствами, способными инициировать сеансы прямого доступа к памяти для указания физического адреса слова ОЗУ (или начала блока слов), к которому устройство может обратиться для проведения операции чтения или записи.

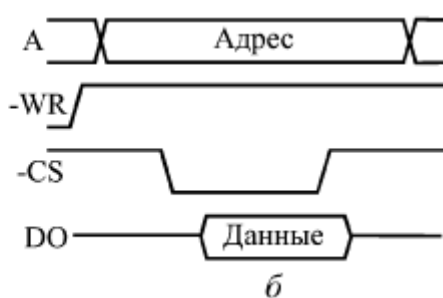
Адресное пространство представляется в виде набора адресов, используемых процессом для обращения к ресурсу памяти. Каждый процесс имеет собственное адресное пространство, которое не зависит от адресных пространств других процессов, кроме случаев, когда процессам необходимо совместно использовать свои адресные пространства.

ТУДУ

12.3

ТУДУ

ВРЕМЕННЫЕ ДИАГРАММЫ



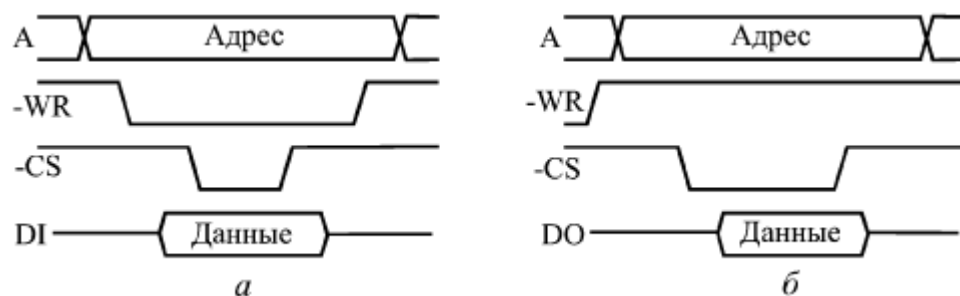
А – запись

Б - чтение

13.1

ТУДУ

ВРЕМЕННЫЕ ДИАГРАММЫ



А – запись

Б - чтение

13.2

ПЗУ — это энергонезависимая память, в которой хранятся программы для микроконтроллеров и DSP. ПЗУ используются вместо винчестеров в смартфонах и бытовой технике. Записанная информация в нем сохраняется даже при выключении питания.

Виды: ТУДУ

Обычно ПЗУ содержит короткую программу для загрузки короткой операционной системы, когда компьютер выключен, а иногда и всю операционную систему.

13.3

Под вопросом

1100010110

Первая единица отвечает за знак «-»

14.1

Классификация регистров.

- накопительные (регистры памяти, хранения);
- сдвигающие.
 - по способу ввода-вывода информации на:
 - параллельные,
 - последовательные,
 - комбинированные;
 - по направлению передачи информации на:
 - однонаправленные,
 - реверсивные.

[ССЫЛКА](#)

14.2

Тайминги — временная задержка сигнала при работе динамической оперативной памяти со страничной организацией, в частности, SDRAM. Эти временные задержки также называют таймингами и для краткости записывают в виде трех чисел, по порядку: CAS Latency, RAS to CAS Delay и RAS Precharge Time. От них в значительной степени зависит пропускная способность участка «процессор-память» и задержки чтения данных из памяти и, как следствие, быстродействие системы.

Мера таймингов — такт шины памяти. Таким образом, каждая цифра в формуле 2-2-2 означает задержку сигнала для обработки, измеряемая в тактах шины памяти. Если указывается только одна цифра (например, CL2), то подразумевается только первый параметр, то есть CAS Latency.

CL: CAS Latency – число тактов, которое проходит с отправки запроса в память до начала ответа на него.

tRCD: RAS to CAS Delay – количество тактов, которое требуется контроллеру для активации нужной строки банки.

tRP: RAS Precharge – число тактов для заряда и закрытия одной строки, после чего становится возможна активация следующей строки.

tRAS: Row Active Time — минимальное число тактов, в течение которого строка будет активна. Она не может быть закрыта раньше этого времени.

14.3

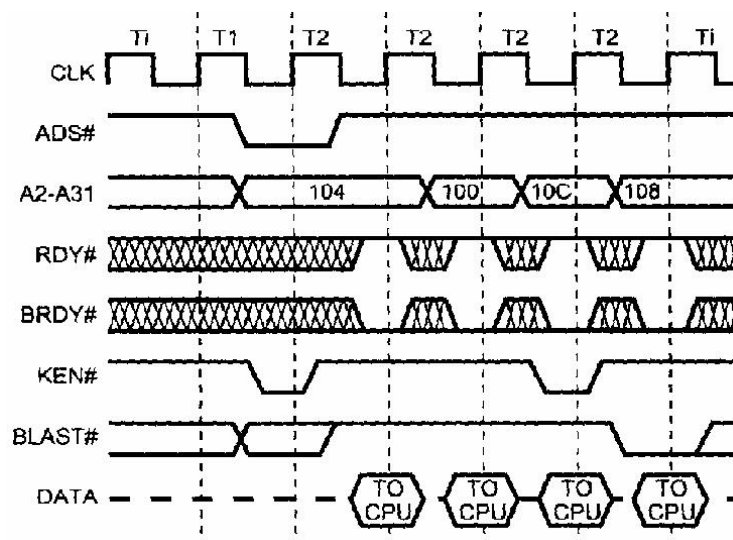
ТУДУ

15.1

Пакетная передача данных (Burst Mode) предназначена для быстрых операций со строками КЭШа. Строка КЭШа процессора, например, имеет длину 16 байт, следовательно, для ее пересылки требуется четыре 32-разрядных шинных цикла. В этом режиме адрес и сигналы идентификации типа шинного цикла выдаются только в первом такте пакета. В каждом из последующих тактов могут передаваться данные, адрес для которых уже не передается по шине, а вычисляется из первого такта, по правилам, известным и процессору, и внешнему устройству. В пакетный цикл процессор может преобразовать любой внутренний запрос на множественную передачу.

Пакетный цикл (см. рисунок ниже) начинается процессором так же, как и обычный: на внешней шине устанавливается адрес, сигналы идентификации типа цикла и формируется строб ADS#. В следующем такте передается первая порция данных, и, если она не единственная, сигнал BLAST# имеет пассивное значение. Если адресованное устройство поддерживает пакетный режим, оно должно ответить сигналом BRDY# вместо сигнала RDY# по готовности данных в первой же передаче данных цикла. В этом случае процессор продолжит цикл как пакетный, не вводя такта адресации-идентификации (с сигналом ADS#), а сразу перейдет к передаче следующей порции данных.

Нормально о завершении пакетного цикла процессор сообщает устройству сигналом BLAST#, который выдается в такте последней передачи пакета. Если у процессора есть намерения собрать пакет, а устройство отвечает сигналом RDY#, данные будут передаваться обычными циклами. Введением сигнала RDY# вместо BRDY# внешнее устройство может в любой момент прервать пакетную передачу, и процессор ее продолжит обычными циклами. В идеальном варианте (без тактов ожидания) для передачи 16 байт в пакетном режиме требуется всего 5 тактов шины вместо восьми, которые потребовались бы при обычном режиме обмена



15.2

Шина PCI – это набор сигнальных линий, непосредственно соединяющих интерфейсные выходы групп устройств. В системе может присутствовать несколько шин PCI, соединенных мостами PCI Bridg. Главный мост (Host Bridge) используется для подключения PCI к системной шине. Одноранго-вый мост (Peer-to-Peer Bridge) используется для соединения двух шин PCI. Совокупность мостов PCI выполняет маршрутизацию (routing) обращений по связанным шинам. Считается, что устройство с конкретным адресом может присутствовать только на одной из шин, а на какой именно, «знают» запрограммированные мосты. Решать задачу маршрутизации призван также сигнал DEVSEL#.

Одной из особенностей шины PCI является возможность обмена данными между процессором и памятью одновременно с обменом между другими устройствами PCI – Concurrent PCI Transferring. Эта возможность реализуется не всеми чипсетами. **Автоконфигурирование устройств** (выбор адресов и прерываний) поддерживается средствами BIOS и ориентировано на технологию Plug and Play. Стандарт PCI определяет для каждого слота конфигурационное пространство размером до 256 8-битных регистров, не приписанных ни к пространству памяти, ни к пространству ввода/вывода. Доступ к ним осуществляется по специальным циклам шины Configuration Read и Configuration Write, вырабатываемым контроллером при обращении процессора к регистрам контроллера шины PCI, расположенным в его пространстве ввода/вывода. После аппаратного сброса (или по включении питания) устройства PCI не отвечают на обращения к пространству памяти и ввода/вывода, они доступны только для операций конфигурационного считывания и записи. В этих операциях устройства выбирают по индивидуальным сигналам IDSEL# и сообщают о потребностях в ресурсах и возможных диапазонах памяти. После распределения ресурсов, выполняемого программой конфигурирования (во время POST), в устройства записываются параметры конфигурирования. Только после этого к устройствам становится возможным доступ по командам обращения к памяти и портам ввода/вывода.

15.3

ТУДУ

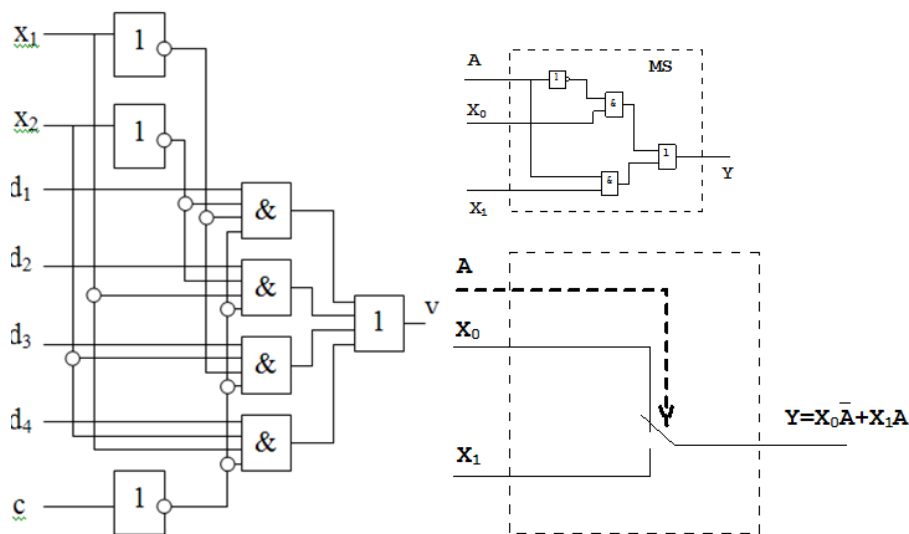
16.1

Мультиплексор — устройство, имеющее несколько сигнальных входов, один или более управляющих входов и один выход. Мультиплексор позволяет передавать сигнал с одного из входов на выход; при этом выбор желаемого входа осуществляется подачей соответствующей комбинации управляющих сигналов

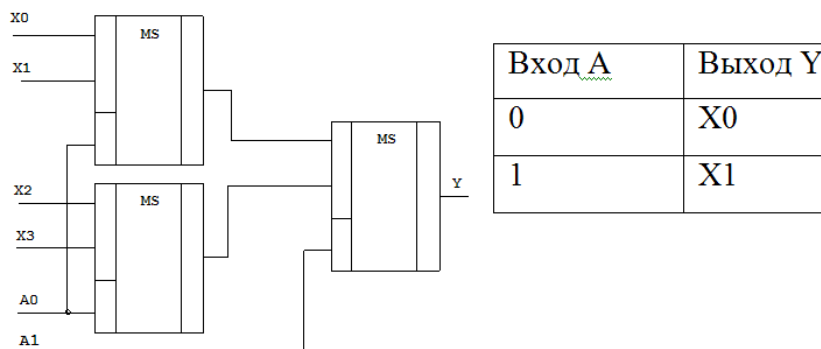
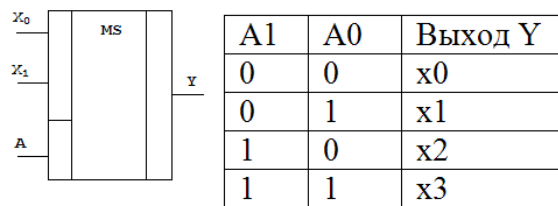
Виды мультиплексоров: ТУДУ

- пирамидальные
- каскадные.

Пирамидальный мультиплексор:



Если требуется расширить число входов, то применяют каскадное соединение:



Назначение входов/выходов описано выше

16.2

Загрузчик операционной системы — системное программное обеспечение, обеспечивающее загрузку операционной системы непосредственно после включения компьютера (процедуры POST) и начальной загрузки.

Загрузчик операционной системы:

- обеспечивает необходимые средства для диалога с пользователем компьютера (например, загрузчик позволяет выбрать операционную систему для загрузки);
- приводит аппаратуру компьютера в состояние, необходимое для старта ядра операционной системы (например, на не-x86 архитектурах перед запуском ядра загрузчик должен правильно настроить виртуальную память);
- загружает ядро операционной системы (Ntoskrnl.exe в случае MS Windows) в ОЗУ. Загрузка ядра операционной системы не обязательно происходит с жесткого диска. Загрузчик может получать ядро по сети. Ядро может храниться в ПЗУ или загружаться через последовательные интерфейсы (это может пригодиться на ранней стадии отладки создаваемой компьютерной системы);
- формирует параметры, передаваемые ядру операционной системы (например, ядру Linux передаются параметры, указывающие способ подключения корневой файловой системы);
- передаёт управление ядру операционной системы.

На компьютерах архитектуры IBM PC запуск загрузчика осуществляется программным обеспечением BIOS, записанной в ПЗУ компьютера, после успешного окончания процедуры POST. Опишем процедуру, с помощью которой происходит загрузка с НЖМД IBM PC: BIOS производит чтение 512 байт первого сектора НЖМД (MBR) в ОЗУ по адресу 0x00007C00 (0x07C0:0x0000 в формате реального режима), затем прочитанному коду передаётся управление. Этот код читает и анализирует таблицу разделов жёсткого диска, а затем, в зависимости от вида загрузчика, либо передаёт управление загрузочному коду активного раздела жёсткого диска (см. Начальная загрузка компьютера), либо самостоятельно загружает ядро с диска (например, сетевого или съёмного) в оперативную память и передаёт ему управление. Первоначально загрузчик работает в режиме реальной адресации при отключенной адресной линии A20, что создает определенные трудности при написании загрузчиков.

ПРОВЕРИТЬ

Настройки BIOS – ТУДУ (непонятен вопрос)

16.3

ТУДУ – расчеты только с тетрадкой

17.1

ТУДУ – по тетрадке

17.2

Преобразование последовательного кода в параллельный и наоборот

Схема четырехразрядного регистра сдвига вправо на JK-триггерах, которая обеспечивает преобразование кодов, показана на рис. 5.8, а. Старший разряд регистра с помощью инвертора на К-входе работает в режиме D-триггера.

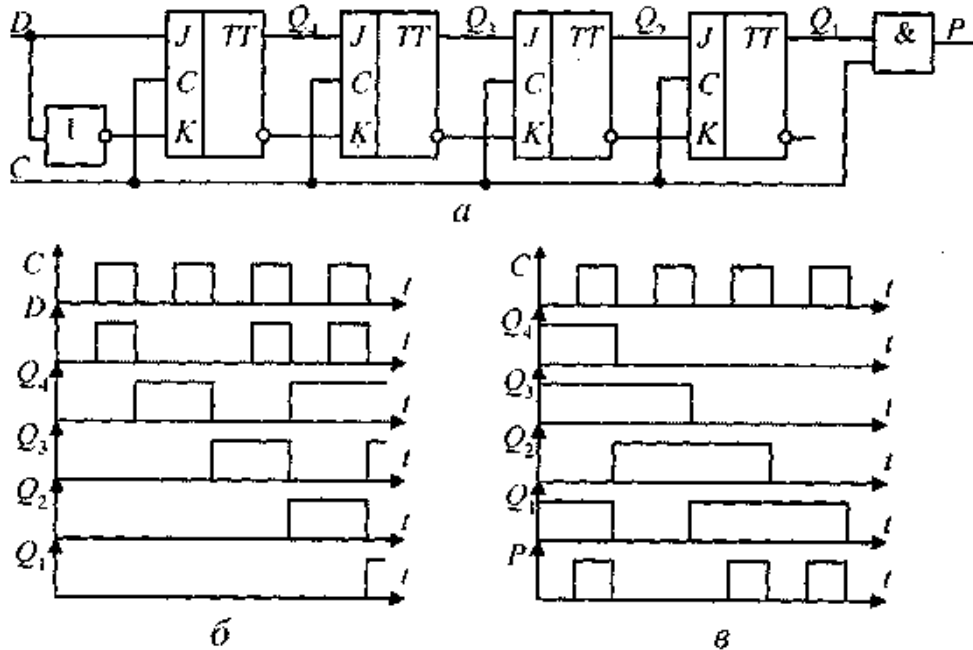


Рис. 3.8. Регистр сдвига :

а — схема ; б, в — преобразование последовательного кода в параллельный и наоборот

Пусть от накопителей на магнитных дисках или лентах на вход регистра по линии D поступает последовательный код слова $A = 1101$ в направлении от младших разрядов к старшим.

Значение разрядов слова поступает одновременно с синхро-импульсами, которые обеспечивают как прием кода в старший разряд, так и одно-временный сдвиг содержимого регистра вправо (рис. 5.8, б).

После прихода четырех синхроимпульсов на выходах регистра $Q_4 - Q_1$ устанавливается код 1101. Таким образом осуществляется преобразование последовательного кода в параллельный, часто называемое последовательным вводом слова в регистр.

Преобразование параллельного кода в последовательный также выполняется сдвигом хранимого слова.

Процесс преобразования параллельного кода слова $A = 1101$ в последовательный в направлении от младших разрядов к старшим с помощью сдвига вправо показан на рис. 5.8, в.

17.3

75 в BCD упак.

01110101 –

0111 – 7

0101 – 5

75 в BCD неупак.

01001011 – 75 в двоичной + 0 в начале (0 нужен так как BCD - 8 бит)

18.1

DMA - Direct Memory Access, механизм, использующийся для непосредственного обмена данными между устройством и оперативной памятью компьютера, минуя центральный процессор.

Контроллер DMA - Используется для уменьшения нагрузки на центральный процессор в случае длительного обмена большим потоком данных с устройствами. К таким устройствам могут быть причислены:

- Жёсткие диски (IDE, ATA, SCSI).
- Приводы для гибких магнитных накопителей (FDD).
- Оптические приводы (CD, DVD).
- Звуковые карты (DSP, MIDI).
- Различные мультимедиа-устройства.

Описание работы

Если требуется заполнить ячейки памяти, расположенные по подряд идущим адресам, используется «пакетный» (англ. burst) режим работы шины:

- размер данных записывается в регистр контроллера DMA;
- первый цикл используется для передачи адреса первой ячейки;
- последующие циклы используются для пересылки данных указанного размера.

Аналогичная оптимизация работы ЦП с памятью крайне затруднена.

В оригинальной архитектуре IBM PC (шина ISA) DMA был возможен лишь при наличии аппаратного контроллера DMA (микросхема Intel 8237).

Контроллер DMA может получать доступ к системной шине независимо от ЦП и имеет несколько регистров. Регистры контроллера DMA доступны ЦП для чтения и записи и используются для задания:

- номера порта, который должен быть использован для передачи данных;
- вида операции (чтение или запись);
- единицы переноса (побайтно или пословно);
- размера данных, которые следует перенести, в байтах.

Рассмотрим процесс чтения данных с устройства. ЦП записывает значения в регистры контроллера DMA, отправляет устройству (например, диску) команду на чтение данных. Устройство читает данные (например, с диска) и записывает в свою внутреннюю память (буфер). Контроллер DMA устанавливает на адресную шину адрес памяти ПК, отправляет устройству запрос на чтение данных из внутренней

памяти (буфера) устройства. Устройство получает запрос и при этом даже не знает, пришёл ли запрос от ЦП или от контроллера DMA. Устройство пересылает очередное слово из своей внутренней памяти (буфера) в оперативную память ПК по адресу, находящемуся на адресной шине. Затем устройство посылает контроллеру DMA сигнал, сообщающий об окончании записи. Контроллер DMA увеличивает адрес памяти ПК и выставляет его на адресную шину, уменьшает значение своего счётчика байтов, снова отправляет запрос на чтение данных из внутренней памяти (буфера) устройства. Цикл повторяется, пока значение счётчика не станет равно нулю. После окончания цикла устройство инициирует прерывание процессора, сообщаящее о завершении переноса данных.

Контроллер DMA, способный выполнять несколько операций параллельно, называется многоканальным.

ТУДУ

18.2

Гиперпоточность

Процессорное ядро, поддерживающее технологию гиперпоточности, может хранить состояние сразу двух потоков выполнения, содержит по одному набору регистров и по одному контроллеру прерываний (APIC) на каждое логическое ядро. Для операционной системы это выглядит как наличие двух логических ядер. У каждого логического ядра имеется свой набор регистров и контроллер прерываний (APIC). Остальные элементы физического ядра являются общими для всех логических ядер.

Например, когда физическое ядро выполняет поток команд первого логического ядра, то выполнение потока команд приостанавливается по одной из следующих причин:

- произошёл промах при обращении к кэшу процессора;
- выполнено неверное предсказание ветвления;
- ожидается результат предыдущей инструкции.

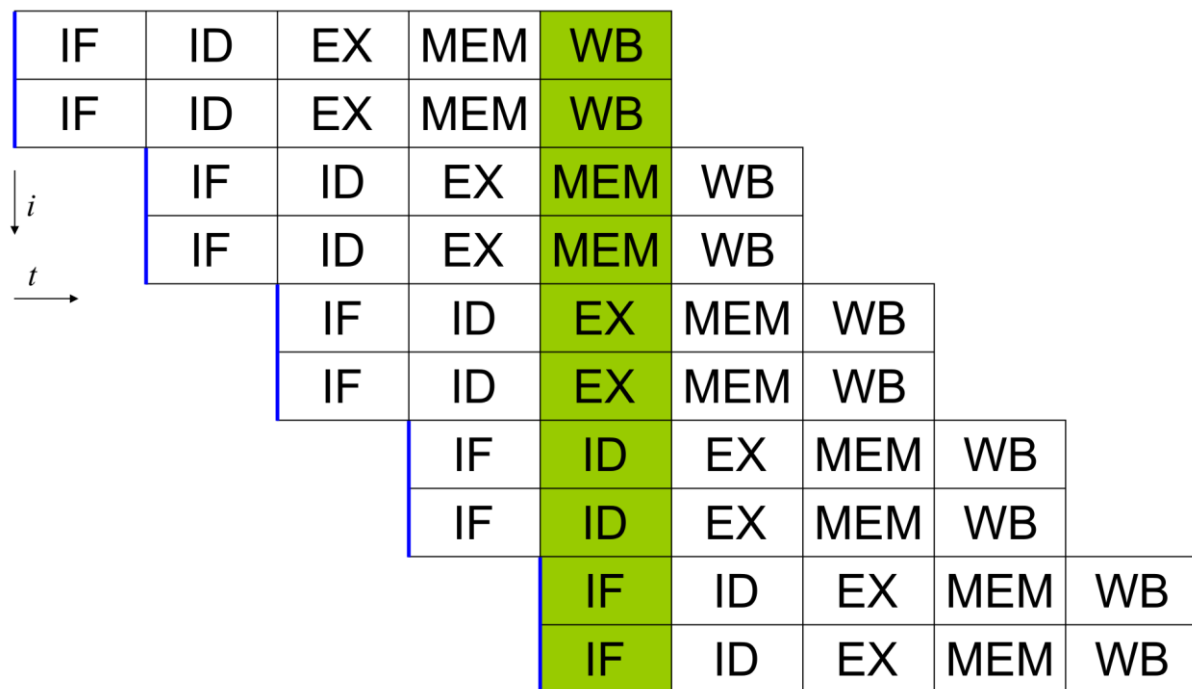
Физическое ядро не будет бездействовать, а передаст управление потоку команд второго логического ядра. Таким образом, пока одно логическое ядро ожидает, например, данные из памяти, вычислительные ресурсы физического ядра будут использоваться вторым логическим ядром.

Скалярный процессор — это простейший класс микропроцессоров. Скалярный процессор обрабатывает один элемент данных за одну инструкцию (SISD, Single Instruction Single Data), типичными элементами данных могут быть целые или числа с плавающей запятой. В векторных процессорах (SIMD, Single Instruction Multiple Data), в отличие от скалярных, одна инструкция работает с несколькими элементами данных.

Суперскалярный процессор — процессор, поддерживающий так называемый параллелизм на уровне инструкций (то есть, процессор, способный выполнять несколько инструкций одновременно) за счёт включения в состав его вычислительного ядра нескольких одинаковых функциональных узлов (таких как АЛУ, FPU, умножитель (integer multiplier), сдвигающее устройство (integer shifter) и другие устройства). Планирование исполнения потока инструкций осуществляется динамически вычислительным ядром (не статически компилятором).

Способы увеличения производительности, которые могут использоваться совместно:

- Использование конвейера (англ. pipelining)
- увеличение количества функциональных узлов процессора (суперскалярность)
- увеличение количества ядер (многоядерность)
- увеличение количества процессоров (многопроцессорность)



- IF (англ. instruction fetch) — узел, ответственный за получение инструкции;
- ID (англ. instruction decode) — узел, ответственный за декодирование инструкции;
- EX (англ. execute) — узел, ответственный за выполнение инструкции;
- MEM (англ. memory access) — узел, ответственный за доступ к памяти;
- WB (англ. register write back) — узел, ответственный за запись в регистр.

Двухканальный режим — это такой режим работы оперативной памяти, при котором работа с каждым вторым модулем памяти производится параллельно с каждым первым. Причем, каждая пара производит работу на своем канале. Тогда как на одноканальном контроллере памяти все модули обслуживаются одновременно одним контроллером.

ТУДУ

Билет №19

19.1

ТУДУ

19.2

ТУДУ

19.3

-25,75

«-» => 1 бит = 1

25 => 11001

75 =>

ТУДУ

Билет №20

20.1

Программируемый контроллер прерываний (Programmable Interrupt Controller, PIC) отвечает за приём запросов прерываний от различных устройств, их хранение в ожидании обработки, выделение наиболее приоритетного из одновременно присутствующих запросов и выдачу его вектора в процессор, когда последний пожелает обработать прерывание. Слово «программируемый» в названии контроллера означает, что режимы его работы устанавливаются программно, а не являются жёстко «защитыми».

- IRQ0 – программируемый интервальный таймер или высокоточный таймер событий №0;
- IRQ1 – клавиатура PS/2;
- IRQ2 – запрос прерывания от ведомого контроллера прерываний;
- IRQ3 – произвольное устройство (в IBM PC/AT – последовательный порт COM2 и COM4);
- IRQ4 – произвольное устройство (в IBM PC/AT – последовательный порт COM1 и COM3);
- IRQ5 – произвольное устройство (в IBM PC/AT – параллельный порт LPT2);
- IRQ6 – произвольное устройство (в IBM PC/AT – контроллер гибких дисков);
- IRQ7 – произвольное устройство (в IBM PC/AT – параллельный порт LPT1);
- IRQ8 – часы реального времени или высокоточный таймер событий №1;
- IRQ9 – произвольное устройство;
- IRQ10 – произвольное устройство;
- IRQ11 – произвольное устройство или высокоточный таймер событий №2;
- IRQ12 – произвольное устройство, обычно мышь PS/2, либо высокоточный таймер событий №3;
- IRQ13 – ошибка арифметического сопроцессора;
- IRQ14 – произвольное устройство, обычно первый контроллер ATA (или контроллер Serial ATA в режиме совместимости);
- IRQ15 – произвольное устройство, обычно второй контроллер ATA (или контроллер Serial ATA в режиме совместимости).

ТУДУ

20.2

Это вообще про что ТУДУ

20.3

В реальных системах вероятность попадания в кэш составляет примерно 0,9. Высокое значение вероятности нахождения данных в кэш-памяти связано с наличием у данных объективных свойств: пространственной и временной локальности.

Пространственная локальность. Если произошло обращение по некоторому адресу, то с высокой степенью вероятности в ближайшее время произойдет обращение к соседним адресам.

Временная локальность. Если произошло обращение по некоторому адресу, то следующее обращение по этому же адресу с большой вероятностью произойдет в ближайшее время.

Все предыдущие рассуждения справедливы и для других пар запоминающих устройств, например, для оперативной памяти и внешней памяти. В этом случае уменьшается среднее время доступа к данным, расположенным на диске, и роль кэш-памяти выполняет буфер в оперативной памяти

Билет №21

21.1

Основными характеристиками любого типа памяти являются объем, время доступа и плотность записи информации.

- Объем памяти - это максимальное количество информации, которое может быть помещено в эту память. Объем памяти измеряется в килобайтах, мегабайтах, гигабайтах.
- Время доступа к памяти - это минимальное время, достаточное для размещения в памяти единицы информации. Время доступа обычно измеряется в наносекундах (наносекунда - это одна миллиардная часть секунда).
- Плотность записи информации представляет собой количество информации, записанной на единице поверхности носителя.

ТУДУ

21.2

Адреса программ, соответствующих различным прерываниям, собраны в таблицу, которая называется **таблицей векторов прерываний**.

Для микропроцессора требуется простой способ определения местоположения программы обработки прерывания и это осуществляется путем использования таблицы векторов прерываний.

Таблица векторов прерываний занимает первый килобайт оперативной памяти — адреса от 0000:0000 до 0000:03FF. Таблица состоит из 256 элементов — FAR-адресов обработчиков прерываний. Эти элементы называются **векторами прерываний**. В первом слове элемента таблицы записано смещение, а во втором — адрес сегмента обработчика прерывания. Векторами являются просто полные адреса памяти программы (в сегментированной форме), которая должна быть активизирована в случае возникновения прерывания.

Прерыванию с номером 0 соответствует адрес 0000:0000, прерыванию с номером 1 — 0000:0004 и т.д. Адрес такой состоит из пары 2-байтовых слов, поэтому каждый из векторов занимает четыре байта.

Формирование адреса к обработчику – ТУДУ ([помощь](#))

21.3

Сверху вниз – слева направо

ИЛИ

Строгая дизъюнкция

И

ИВЕРСИЯ

На выходе

ИЛИ

1

Строгая дизъюнкция

1

И

0

ИНВЕРСИЯ

1

22.1

Банк памяти — это логическая единица хранения в электронике, которая зависит от аппаратного обеспечения. В компьютере банк памяти может быть определен контроллером памяти вместе с физической организацией аппаратных слотов памяти. В типичной синхронной динамической оперативной памяти (SDRAM) или SDRAM С ДВОЙНОЙ СКОРОСТЬЮ ПЕРЕДАЧИ ДАННЫХ (DDR SDRAM) банк состоит из нескольких строк и столбцов единиц хранения и обычно распределен по нескольким микросхемам. В одной операции чтения или записи осуществляется доступ только к одному банку, поэтому количество битов в столбце или строке, на банк и на микросхему, равно ширине шины памяти в битах (один канал). Размер банка далее определяется количеством битов в столбце и строке на чип, умноженным на количество фишек в банке.

Некоторые компьютеры имеют несколько одинаковых банков оперативной памяти и используют переключение банков для переключения между ними. Компьютеры с гарвардской архитектурой имеют (по крайней мере) два совершенно разных банка памяти: один для хранения программ, а другой для хранения данных.

22.2

Запоминающее устройство, как правило, содержит множество одинаковых элементов, образующих запоминающий массив (ЗМ). Массив разделен на отдельные ячейки, каждая из которых предназначена для хранения двоичного кода, количество разрядов в котором определяется шириной выборки памяти.

Способ организации памяти зависит от методов размещения и поиска информации в ЗМ. По этому признаку различают адресную, ассоциативную, стековую и магазинную память

Адресная память

В такой памяти размещение и поиск информации в ЗМ основаны на использовании номера ячейки ЗМ (адреса) хранения слова (команды, числа и т.д.), в которой это слово размещается. Для записи/чтения слова в ЗМ инициирующая эту операцию команда должна указать адрес (номер ячейки), по которому производится обращение (ЧТ/ЗП).

Ассоциативная память

В памяти этого типа поиск информации производится не по адресу ячейки, а по содержанию (по ассоциативному признаку (АП)). При этом поиск по АП производится параллельно во времени для всех ячеек ЗМ.

Во многих случаях поиск по АП позволяет существенно упростить и ускорить обработку данных. Это осуществляется за счет того, что в памяти этого типа операция считывания информации совмещена с выполнением ряда логических операций.

ТУДУ

22.3

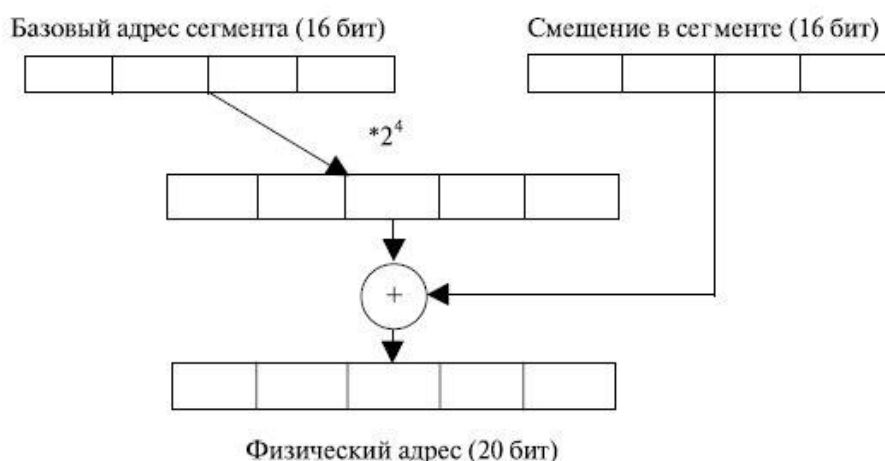
В сегментированной модели памяти для программы делится на непрерывные области памяти, называемые сегментами. Программа может обращаться только к данным, которые находятся в этих сегментах.

Сегмент представляет собой независимый, поддерживаемый на аппаратном уровне блок памяти.

Для доступа к данным внутри сегмента обращение производится относительно начала сегмента линейно, т.е. начиная с 0 и заканчивая адресом, равным размеру сегмента. Для обращения к любому адресу в программе, компьютер складывает адрес в регистре сегмента и смещение — расположение требуемого адреса относительно начала сегмента. Например, первый байт в сегменте кодов имеет смещение 0, второй байт – 1 и так далее.

При работе в реальном режиме возможности процессора ограничены: емкость адресуемой памяти составляет 1 Мбайт, отсутствует страничная организация памяти, сегменты имеют фиксированную длину 2^{16} байт.

В реальном режиме сегментные регистры процессора содержат старшие 16 бит физического адреса начала сегмента. Сдвинутый на 4 разряда влево селектор дает 20-разрядный базовый адрес сегмента. Физический адрес получается путем сложения этого адреса с 16-разрядным значением смещения в сегменте, формируемого по заданному режиму адресации для операнда или извлекаемому из регистра ЕІР для команды (рис. 3.1). По полученному адресу происходит выборка информации из памяти.



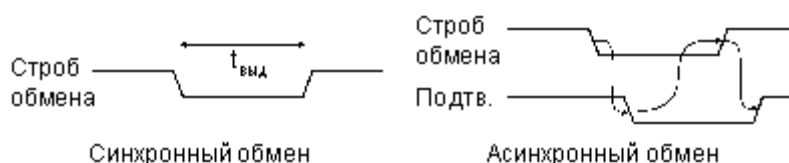
23.1

ТУДУ

23.2

Если шина **синхронная**, то она включает сигналы синхронизации, которые передаются по линиям управления шины, и фиксированный протокол, определяющий расположение сигналов адреса и данных относительно сигналов синхронизации. Все на шине должно происходить с одной и той же частотой синхронизации, поэтому из-за проблемы перекося синхросигналов, синхронные шины не могут быть длинными. Обычно шины процессор-память синхронные.

Асинхронная шина, с другой стороны, не тактируется. Вместо этого обычно используется старт-стопный режим между источником и приемником данных на шине. Эта схема позволяет гораздо проще приспособить широкое разнообразие устройств и удлинить шину без беспокойства о перекося сигналов синхронизации и о системе синхронизации. Если может использоваться синхронная шина, то она обычно быстрее, чем асинхронная, из-за отсутствия накладных расходов на синхронизацию шины для каждой транзакции. Выбор типа шины (синхронной или асинхронной) определяет не только пропускную способность, но также непосредственно влияет на емкость системы ввода/вывода в терминах физического расстояния и количества устройств, которые могут быть подсоединены к шине. Шины ввода/вывода обычно асинхронные.



Информационная совместимость – согласованность действий функциональных элементов в соответствии с совокупностью логических условий. Логические условия определяют структуру и состав унифицированного набора шин; набор процедур по реализации взаимодействий и последовательности их выполнения для различных режимов функционирования; способ кодирования и формат команд, данных, адресной информации и информации состояния; временные соотношения

между управляющими сигналами, ограничения на их форму и взаимодействие. (Др. словами – разрядность устройств обмена информацией д.б. одинаковой.)

Условия информационной определяют объем и сложность схемотехнического оборудования и программного обеспечения и, соответственно, основные технико-экономические показатели.

Электрическая совместимость – согласованность статических и динамических параметров электрических сигналов в системе шин с учетом ограничений на пространственное размещение устройств интерфейса и техническую реализацию приемопередающих элементов (ППЭ). Др. словами ЭС – как какой сигнал закодирован, ЭС по нагрузочной способности.

Условия электрической совместимости определяют: тип ППЭ; соотношение между логическими и электрическими состояниями сигналов и пределы их изменений; коэффициенты нагрузочной способности ППЭ и значения допустимой емкостной и резистивной нагрузок в устройстве; схему согласования линий; допустимую длину линий и порядок подключения линий к разъемам; требования к источникам и цепям электрического питания; требования по помехоустойчивости.

Большинство условий электрической совместимости обычно регламентируются стандартом. Условия электрической совместимости влияют на: скорость обмена данными, предельное число подключенных устройств, их конфигурацию и расстояние между устройствами, помехозащищенность.

Конструктивная совместимость – согласованность конструктивных элементов интерфейса, предназначенных для обеспечения механического контакта соединений и механической замены схемных элементов, блоков и устройств.

Условия конструктивной совместимости определяют: типы соединительных элементов (например, разъем, штекер и распределение линий связи внутри соединительного элемента); конструкцию платы, каркаса, стойки; конструкцию кабельного соединения. (Промышленная и бытовая розетка.)

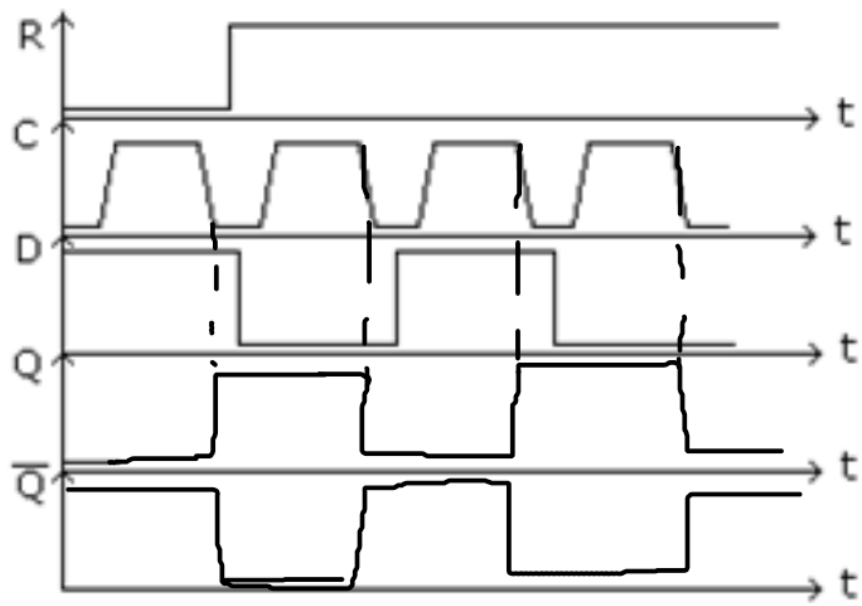
Условия конструктивной совместимости в стандартах не всегда определяются полностью, иногда могут отсутствовать.

22.3

D триггер

D - Инф. Вход

C – синхровход по нижнему фронту



ТУДУ: проверить